

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-268559

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

G11C 11/401

G11C 11/413

G11C 11/417

(21)Application number : 11-067556

(71)Applicant : NEC CORP

(22)Date of filing : 12.03.1999

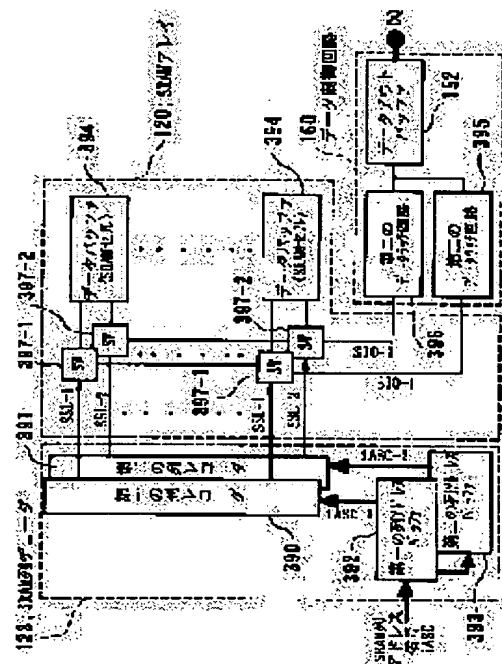
(72)Inventor : MATSUI YOSHINORI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor integrated circuit device which can improve the data readout speed without increasing the operation frequencies of individual internal circuits.

SOLUTION: An SRAM array 120 is provided with a 1st column decoder 390 and a 2nd column decoder 391. A 1st column address buffer 392 and a 2nd column address buffer 393 generate a 1st SRAM column address signal iASC-1 and a 2nd column address signal iASC-2 according to an SRAM column address signal iASC and supply them to a 1st and a 2nd column decoder, which operate by turns. Each data buffer 394 of the SRAM array 120 is provided with a 1st switch circuit 397-1 and a 2nd switch circuit 397-2 and electrified under the control of respective column decoders. Consequently, the 1st and 2nd column decoders designate addresses alternately to the SRAM array 120 and data are read out by turns.



LEGAL STATUS

[Date of request for examination] 01.03.2000

[Date of sending the examiner's decision of rejection] 08.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-268559
(P2000-268559A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 1 1 C	11/401	G 1 1 C 11/34	3 7 1 Z 5 B 0 1 5
	11/413		J 5 B 0 2 4
	11/417		3 0 5
			3 6 2 A

審査請求 有 請求項の数 5 O L (全 49 頁)

(21) 出願番号 特願平11-67556

(22) 出願日 平成11年3月12日 (1999.3.12)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 松井 義徳

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 昭男 (外3名)

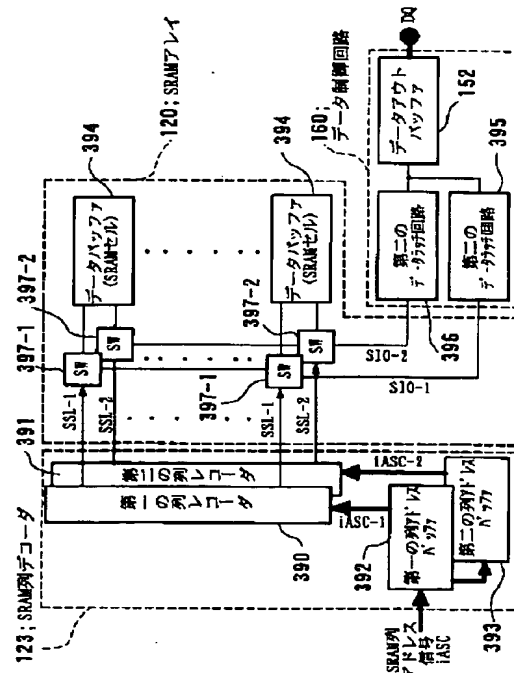
Fターム(参考) 5B015 HH01 HH03 JJ21 KB09 KB52
KB84 PP01 PP07
5B024 AA15 BA10 BA18 BA21 CA11
CA16 CA27

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 個々の内部回路の動作周波数を上昇させることなくデータの読み出し速度を改善することができる半導体集積回路装置を提供すること。

【解決手段】 SRAMアレイ120に第一の列デコーダ390と第二の列デコーダ391が設けられる。第一の列アドレスバッファ392と第二の列アドレスバッファ393は、SRAM列アドレス信号iASCに基づき第一のSRAM列アドレス信号iASC-1と第二の列アドレス信号iASC-2とを生成して、第一および第二の列デコーダに与え、これら列デコーダが交互に動作する。また、SRAMアレイ120の各データバッファ394には第一のスイッチ回路397-1と第二のスイッチ回路397-2が設けられ、各列デコーダにより導通制御される。これにより、第一および第二の列デコーダがSRAMアレイ120に対してアドレスを交互に指定し、データが交互に読み出される。



【特許請求の範囲】

【請求項1】 外部クロック信号に同期してデータの読み出しが行われるように構成された半導体集積回路装置であって、メモリセルがマトリックス状に配列されてなるメモリセルアレイと、前記外部クロック信号に同期して、外部アドレスを起点として連続する内部アドレスを前記メモリセルアレイに対して交互に指定する第1および第2のアドレス指定手段と、前記第1および第2のアドレス指定手段にそれぞれ対応して設けられ、前記外部クロック信号に同期して、前記内部アドレスで特定される前記メモリセルアレイ内のメモリセルからデータを交互に伝達する第1および第2のデータ伝達手段と、前記第1および第2のデータ伝達手段によりそれぞれ伝達されたデータを交互に外部に出力するデータ出力手段と、を備えたことを特徴とする半導体集積回路装置。

【請求項2】 前記第1および第2のデータ伝達手段は、前記メモリセルアレイ内のメモリセルと前記第1および第2のデータ伝達手段との間にそれぞれ接続され、前記前記第1および第2のアドレス指定手段により指定される内部アドレスに基づきそれぞれ導通制御される第1および第2のスイッチ手段を備えたことを特徴とする請求項1に記載された半導体集積回路装置。

【請求項3】 前記第1のアドレス指定手段は、前記外部クロック信号に同期して前記外部アドレスを取り込み、該外部アドレスに基づき第1のアドレス信号を生成する第1のアドレスバッファと、前記第1のアドレス信号をデコードして第1の選択信号を生成し、これを前記第1のスイッチ手段に与える第1のデコーダと、を備え、前記第2のアドレス指定手段は、前記外部クロック信号に同期して前記外部アドレスを取り込み、該外部アドレスに基づき第2のアドレス信号を生成する第2のアドレスバッファと、前記第2のアドレス信号をデコードして第2の選択信号を生成し、これを前記第2のスイッチ手段に与える第2のデコーダと、を備え、前記第1および第2のアドレスバッファは、前記外部クロック信号に同期して交互に動作し、前記メモリセルアレイの複数のメモリセルが連続的に選択されるように、前記外部アドレスに基づき前記第1および第2のアドレス信号を交互に生成することを特徴とする請求項2に記載された半導体集積回路装置。

【請求項4】 外部クロック信号に同期してデータの読

み出しが行われるように構成された半導体集積回路装置であって、主記憶部と、前記主記憶部との間でデータ転送が可能に構成された副記憶部とを備え、前記副記憶部は、該副記憶部に格納されたデータを外部に読み出すための複数系統の読み出し手段を備えたことを特徴とする半導体集積回路装置。

【請求項5】 前記複数系統の読み出し手段は、

- 10 外部クロック信号に同期して、外部アドレスを起点として連続する内部アドレスを前記副記憶部のメモリセルアレイに対して交互に指定する第1および第2のアドレス指定手段と、前記第1および第2のアドレス指定手段にそれぞれ対応して設けられ、前記外部クロック信号に同期して、前記内部アドレスで特定される前記メモリセルアレイ内のメモリセルからデータを交互に伝達する第1および第2のデータ伝達手段と、前記第1および第2のデータ伝達手段によりそれぞれ伝達されたデータを交互に外部に出力するデータ出力手段と、を備えたことを特徴とする請求項4に記載された半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同一半導体基板上に主記憶部と副記憶部とが形成され、主記憶部と副記憶部との間にデータ転送回路を持つ半導体集積回路装置に関し、特に内部の動作周波数を緩和する半導体集積回路装置に関する。

【0002】

【従来の技術】一般に、コンピュータシステムに用いられる主記憶装置として比較的低速で安価な大容量の半導体装置が用いられるが、この要求に合致したものとして汎用DRAMが多く使用されている。また、最近のコンピュータシステムでは、システムの高速化（特にMPUの高速化）に対して主記憶部を構成するDRAMの高速化もなされてはいるが、MPUの高速化に対しては不十分であり、MPUと主記憶部との間に高速メモリを副記憶部として搭載したシステムが主流である。このような副記憶部は一般にキャッシュメモリとよばれ、高速SRAMやECLRAMなどが用いられている。

【0003】キャッシュメモリの実装形態としては、一般にMPUの外部に設けられたものや、MPUに内蔵されたものがあるが、最近では、主記憶部を構成するDRAMとキャッシュメモリとを同一半導体基板上に搭載した半導体記憶装置が注目されている。この従来技術としては、特開昭57-20983号、特開昭60-7690号、特開昭62-38590号、特開平1-146187号などがある。これらの先行技術にかかる半導体記

憶装置は、DRAMとキャッシュメモリとを搭載することから、一部でキャッシュDRAMと呼ばれている。またCDRAMとも記述される。これらは、キャッシュメモリとして機能するSRAM（副記憶部）と主記憶部をなすDRAMとの間で、データを双方向に転送可能な構成になっている。

【0004】

【発明が解決しようとする課題】ところで、この種の半導体集積回路装置では、近年のデータ読み出し速度の高速化に伴って動作周波数が上昇しつつある。しかしながら、DRAMに代表される半導体記憶装置では、その動作周波数は、アドレスバッファやデコーダなどの個々の内部回路の動作周波数で決定される。したがって、個々の内部回路の動作周波数が改善されない限り、装置全体の動作周波数を上昇させることが困難となり、さらなる高速化に対応できないという問題がある。

【0005】以下、図64および図65を参照して、この問題を具体的に説明する。図64に、データの読み出し動作に着目した場合の従来の半導体記憶装置の構成例を示す。この例では、外部からアドレスを取り込んで生成されたSRAM列アドレス信号*i*ASCは、列アドレスバッファ392Jにより列デコーダ390Jに与えられる。列デコーダ390Jは、これをデコードしてSRAMアレイ120JにSRAM列デコーダ出力信号SSLを与える。SRAMアレイ120Jには、SRAMセルからなるデータバッファ394Jがマトリックス状に配列され、各データバッファ394Jには、列デコーダ390JからのSRAM列デコーダ出力信号SSLにより導通制御されるスイッチ回路397Jが設けられている。各データバッファ394Jは、このスイッチ回路397Jを介してデータ入出力線SIOに接続される。また、このデータ入出力線SIOには、データラッチ回路395Jおよびデータアウトバッファ152Jからなるデータ制御回路160Jが接続される。SRAM列デコーダ123Jおよびデータ制御回路160Jの各回路は、図示しない外部クロック信号（CLK）に同期して動作するように構成される。

【0006】この構成例によれば、図65に示すように、外部クロック信号CLKの1クロック周期毎に、アドレスA0～A3に対応するSRAM列アドレス信号*i*ASCが順次生成され、このSRAM列アドレス信号*i*ASCから半クロック遅れて、アドレスA0～A3に対応する列デコーダ出力信号SSLが1クロック周期毎に順次生成される。そして、このSRAM列デコーダ出力信号SSLで特定されるデータバッファ394JからのデータD0～D3が、1クロック周期毎にデータ入出力線SIOに順次現れる。データ制御回路160Jはこれを入力し、データDQとして1クロック周期毎に順次出力する。つまり、この従来技術によれば、列デコーダやデータ制御回路などの各内部回路は、1クロック周期で

1つの動作を完結するように構成され、読み出し動作の周波数は、各内部回路の動作周波数で決まるものとなっている。

【0007】また、動作周波数の改善を図った従来技術として、例えば文献「“400MHz Random Column Operating SDRAM Techniques with Self Skew Compensation”, 1997 Symposium on VLSI Circuits Digest of Technical Papers, pp105-106」には、メモリアレイからのデータの読み出し経路を複線化してクロック周波数を改善する技術が開示されている。しかしながら、この技術によれば、DRAMのメモリアレイの後段側のデータ伝達経路での動作を高速化できるものの、外部からアドレスを取り込んでメモリセルを特定するまでのアドレス伝達経路（アドレスバッファ、列デコーダ、データバス等）については、従来と同様に構成されているため、これらの経路で動作周波数が制限されてしまうという問題が依然として存在する。また、この従来技術では、DRAMのデータ伝達経路を複線化するために各センスアンプ回路ごとに複数のスイッチとローカルI/O線を設けており、このため、レイアウト上のオーバーヘッドが大きくなるという問題もある。

【0008】この発明は、上記事情に鑑みてなされたもので、個々の内部回路の動作周波数を上昇させることなくデータの読み出し速度を改善することができ、しかも個々の内部回路の動作周波数を緩和させることのできる半導体集積回路装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するため、この発明は以下の構成を有する。すなわち、請求項1に係る発明は、外部クロック信号に同期してデータの読み出しが行われるように構成された半導体集積回路装置であって、メモリセルがマトリックス状に配列されるメモリセルアレイ（例えば後述するSRAMアレイ120に相当する構成要素）と、前記外部クロック信号に同期して、外部アドレスを起点として連続する内部アドレスを前記メモリセルアレイに対して交互に指定する第1および第2のアドレス指定手段（例えば後述する第一の列デコーダ390、第二の列デコーダ391などに相当する構成要素）と、前記第1および第2のアドレス指定手段にそれぞれ対応して設けられ、前記外部クロック信号に同期して、前記内部アドレスで特定される前記メモリセルアレイ内のメモリセルからデータを交互に伝達する第1および第2のデータ伝達手段（例えば後述する第一のデータラッチ回路395、第二のデータラッチ回路396に相当する構成要素）と、前記第1および第2のデータ伝達手段によりそれぞれ伝達されたデータを交互に外部に出力するデータ出力手段（例えば後述するデータアウトバッファ152などに相当する構成要素）と、を備えたことを特徴とする。

【0010】また、請求項2に係る発明は、前記第1お

10

20

30

40

50

よび第2のデータ伝達手段が、前記メモリセルアレイ内のメモリセルと前記第1および第2のデータ伝達手段との間にそれぞれ接続され、前記前記第1および第2のアドレス指定手段により指定される内部アドレスに基づきそれぞれ導通制御される第1および第2のスイッチ手段（例えば後述する第一のスイッチ回路397-1、第二のスイッチ回路397-2に相当する構成要素）を備えたことを特徴とする。

【0011】さらに、請求項3に係る発明は、前記第1のアドレス指定手段が、前記外部クロック信号に同期して前記外部アドレスを取り込み、該外部アドレスに基づき第1のアドレス信号を生成する第1のアドレスバッファ（例えば後述する第一の列アドレスバッファ392に相当する構成要素）と、前記第1のアドレス信号をデコードして第1の選択信号を生成し、これを前記第1のスイッチ手段に与える第1のデコーダ（例えば後述する第一の列デコーダ390に相当する構成要素）と、を備え、前記第2のアドレス指定手段が、前記外部クロック信号に同期して前記外部アドレスを取り込み、該外部アドレスに基づき第2のアドレス信号を生成する第2のアドレスバッファ（例えば後述する第二の列アドレスバッファ393に相当する構成要素）と、前記第2のアドレス信号をデコードして第2の選択信号を生成し、これを前記第2のスイッチ手段に与える第2のデコーダ（例えば後述する第二の列デコーダ391に相当する構成要素）と、を備え、前記第1および第2のアドレスバッファが、前記外部クロック信号に同期して交互に動作し、前記メモリセルアレイの複数のメモリセルが連続的に選択されるように、前記外部アドレスに基づき前記第1および第2のアドレス信号を交互に生成することを特徴とする。

【0012】さらにまた、請求項4に係る発明は、外部クロック信号に同期してデータの読み出しが行われるように構成された半導体集積回路装置であって、主記憶部と、前記主記憶部との間でデータ転送が可能に構成された副記憶部とを備え、前記副記憶部は、該副記憶部に格納されたデータを外部に読み出すための複数系統の読み出し手段（例えば後述する第一のアドレスバッファ392～第一の列デコーダ390～スイッチ回路397-1～第一のデータラッチ回路395の回路系と、第二のアドレスバッファ393～第二の列デコーダ391～スイッチ回路397-2～第二のデータラッチ回路396の回路系に相当する構成要素）を備えたことを特徴とする。

【0013】さらにまた、請求項5に係る発明は、前記複数系統の読み出し手段が、外部クロック信号に同期して、外部アドレスを起点として連続する内部アドレスを前記副記憶部のメモリセルアレイに対して交互に指定する第1および第2のアドレス指定手段（例えば後述する第一のアドレスバッファ392～第一の列デコーダ39

0、および第二のアドレスバッファ393～第二の列デコーダ391に相当する構成要素）と、前記第1および第2のアドレス指定手段にそれぞれ対応して設けられ、前記外部クロック信号に同期して、前記内部アドレスで特定される前記メモリセルアレイ内のメモリセルからデータを交互に伝達する第1および第2のデータ伝達手段（例えば後述する第一のデータラッチ回路395および第二のデータラッチ回路396に相当する構成要素）と、前記第1および第2のデータ伝達手段によりそれぞれ伝達されたデータを交互に外部に出力するデータ出力手段（例えば後述するデータアウトバッファ152に相当する構成要素）と、を備えたことを特徴とする。

【0014】この発明によれば、まず、第1のアドレス指定手段によりメモリセルアレイに対して内部アドレスが指定され、この内部アドレスで特定されるメモリセルからのデータが第2のデータ伝達手段により伝達される。次に、第2のアドレス指定手段によりメモリセルアレイに対して次の内部アドレスが指定され、この内部アドレスで特定されるメモリセルからのデータが第2のデータ伝達手段により伝達される。この後、第1のアドレス指定手段と第2のアドレス指定手段により、交互に連続する内部アドレスが指定される。

【0015】ここで、第1および第2のアドレス指定手段のそれぞれに着目した場合、2サイクルに1度の頻度で内部アドレスの指定が行われる。また、第1および第2のデータ伝達手段は、それぞれ第1および第2のデータ伝達手段にそれぞれ対応して動作するので、第1および第2のデータ伝達手段のそれぞれに着目すれば、同様に2サイクルに1度の頻度でデータの伝達が行われる。また、データ出力手段は、第1および第2のデータ伝達手段からのデータを交互に出力する。

【0016】従って、第1のアドレス指定手段、第2のアドレス指定手段、第1のデータ伝達手段、第2のデータ伝達手段の各要素は、2サイクルで1つの動作を完結すればよいので、各要素の動作周波数が緩和される。また、データ出力手段は、第1および第2のデータ伝達手段からのデータを交互に取り込んで出力するだけで、動作周波数に余裕がある。よって、内部回路の動作周波数を上昇させることなく、装置全体の動作周波数を上昇させることが可能となる。

【0017】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。

(1) 基本構成

以下に本発明の一実施例の基本構成について説明する。本発明による半導体集積回路装置は、半導体記憶装置とその半導体記憶装置の制御装置とを含む。半導体記憶装置は主記憶部と副記憶部を有し、主記憶部と副記憶部で双方向のデータ転送が可能のように構成されている。また副記憶部は、複数の記憶セル群から構成されており、

副記憶部のそれぞれの記憶セル群はそれぞれ独立したキャッシュとして機能する事が可能となっている。また本発明による半導体記憶装置では、コントロール端子やアドレス端子の数は、主記憶部を制御するのに必要な数と同じ数で実現する事も可能である。

【0018】以下、主に主記憶部として64MビットのDRAMアレイを有し、副記憶部として16KビットのSRAMアレイを有した×8ビットの2バンク構成のシンクロナスインターフェイスを持つ半導体記憶装置についての実施例を中心に説明する。ただし、本発明はこの構成に限定されるものではない。

【0019】(2) ブロック図

図1は、この発明の一実施例による半導体記憶装置の全体の構成を概略的に示すブロック図である。図1において、半導体記憶装置100は、主記憶部としてDRAM部101、副記憶部としてSRAM部102、DRAM部101とSRAM部102との間でデータ転送を行うための双方向データ転送回路103を有している。

【0020】DRAM部101は、行及び列からなるマトリックス状に配列された複数のダイナミック型メモリセルを備えるDRAMアレイ110と、内部アドレス信号iA0～iA13からDRAM行選択信号とバンク選択信号を出力するDRAM行制御回路115と、DRAM行選択信号iADR0～iADR12とバンク選択信号iAD13を受けてDRAMアレイ110の対応行を選択するDRAM行デコード113と、内部アドレス信号iA5およびiA6からDRAM列選択信号を出力するDRAM列制御回路116と、DRAM列選択信号iADC5およびiADC6を受けて対応列を選択するDRAM列デコード114を有する。

【0021】さらにDRAMアレイ110は、メモリセル部111と、選択されたDRAMセルに保持されたデータを検知し増幅するセンスアンプ112を備える。またDRAMアレイ110は、バンクと呼ばれる複数のブロックに分割されており、本実施例では2つのバンクAおよびバンクBに分割され、バンク選択信号iAD13により選択される。

【0022】SRAM部102は、行及び列からなるマトリックス状に配列された複数のスタティック型メモリセルを備えるSRAMアレイ120と、内部アドレス信号iA0～iA3からSRAM行選択信号を発生するSRAM行制御回路124と、SRAM行選択信号iASR0～1ASR3を受けて分割されたSRAMセル群(本実施例では行毎に分割されたセル群)の選択を行うSRAM行デコード121と、内部アドレス信号iA0～iA3及びiA4～iA13からSRAM列選択信号を発生するSRAM列制御回路122と、SRAM列選択信号iASC4～iASC10により列選択を行うSRAM列デコード123を有する。さらに外部入力信号を受けて半導体記憶装置内の動作を制御する動作制御回

路150と外部とのデータ入出力の制御をするデータ制御回路160を有する。

【0023】なお、本実施例では、主記憶部にDRAMを用い、副記憶部にSRAMを用いているが、本発明はこれに制限されるものではない。主記憶部には、DRAMの他にSRAM、マスクROM、PROM、EPROM、EEPROM、フラッシュEEPROM、強誘電体メモリなど他のメモリを用いてもよい。主記憶部を構成するメモリは、その種類や特有の機能を有効に使用できるように構成することが望ましい。例えば、主記憶部にDRAMを用いる場合については、汎用DRAM、EDODRAM、シンクロナスDRAM、シンクロナスGRAM、バーストEDODRAM、DDRシンクロナスDRAM、DDRシンクロナスGRAM、SLDRAM、RambusDRAMなどを適宜使用する。また、副記憶部には主記憶部に用いたメモリよりも高速アクセス可能なランダムアクセスメモリであれば他のメモリを用いてもよい。主記憶部をフラッシュEEPROMで構成する場合には、副記憶部のメモリ容量はフラッシュEEPROMの一つの消去セクター単位の容量の1/2以上で構成されるのが望ましい。

【0024】(3) システム

本発明による半導体記憶装置は、後で詳細に述べるSRAM列制御回路122を持つことによりSRAMセル群単位でのSRAM列制御モードの変更が可能となる。この機能はSRAMセル群単位ごとにラップタイプ(後述)やバースト長やレイテンシなど、(以降データ入出力様式と称する)の設定が可能ということであり、あらかじめ設定しておけばそれぞれのSRAMセル群の選択がなされた際に半導体記憶装置の内部で自動的にデータ入出力様式が決定される。このため、データ入出力様式切り替えのための半導体記憶装置外部からのデータ制御、もしくは半導体記憶装置外部でのデータ処理制御が不要となる。

【0025】本発明の機能を有する半導体記憶装置は、複数のアクセス要求を受ける場合、各々のアクセス要求ごとにSRAMセル群単位での割り振りや指定及び再指定を受ける機能を有している。図2には、図1で示した半導体記憶装置100に対しアクセス要求を行うメモリマスタを複数個持つメモリスシステムを示す。図2ではメモリマスタ180aからのアクセス要求に対してはSRAMセル群01と02と03が指定され、メモリマスタ180bからのアクセス要求に対してはSRAMセル群04が指定され、メモリマスタ180cからのアクセス要求に対してはSRAMセル群05と06と07と08が指定されている。これらのアクセス要求に対するSRAMセル群の指定は可変であり、随時変更が可能である。

【0026】また、図2において半導体記憶装置100に対するメモリマスタ180aの要求するデータ入出力

様式とメモリマスタ180bの要求するデータ入出力様式が異なる場合にも、メモリマスタ180aに対するデータ入出力とメモリマスタ180bに対するデータ入出力を何ら特別な制御信号を入力する必要なく連続して行うことが可能である。その動作を可能とするために半導体記憶装置100内のSRAM列制御回路122にデータ入出力様式記憶部を持つ。またデータ入出力様式記憶部は、図2の様にSRAMセル群と1対1対応でもよく、図3の様に複数のSRAMセル群に対応してもよい。

【0027】(4) ピン配置

図4は、本発明による半導体記憶装置のパッケージのピン配置の1例を示す図である。この図4は、64MビットのDRAMアレイと16KビットのSRAMアレイを有した×8ビット構成の2バンクのシンクロナスイタフェースを持つ半導体記憶装置であり、リードピッチ0.8mm、54ピンの400mil(ミル)×875mil(ミル)のTSOPタイプ2のプラスチックパッケージに収納される。これらのピンの構成(ピン数/ピン配置)は、通常の64MビットのシンクロナスDRAMと同様である。また、他のビット構成であっても、それぞれの構成のシンクロナスDRAMと同様のピン数とピン配置となる。

【0028】以下に各ピンの信号定義を示す。

CLK:クロック信号CLKは、基準クロック信号で、他の全ての入出力信号の基準信号となる。すなわち他の入力信号の取り込みタイミング、出力信号タイミングを決定する。各外部入力信号はCLKの立ち上がりエッジを基準として、セットアップ/ホールド時間が規定される。

CKE:クロックイネーブル信号CKEは、その次にくるCLK信号が有効か無効かを決定する。CLK立ち上がりエッジの際にCKE信号がHIGHであった場合は、次に入力されるCLK信号は有効とされ、CLK立ち上がりエッジの際にCKE信号がLOWであった場合は、次に入力されるCLK信号は無効とされる。

【0029】/CS:チップセレクト信号/CSは、外部入力信号/RAS信号、/CAS信号、/WE信号を受け付けるか受け付けないかを決定する。CLK立ち上がりエッジの際に/CS信号がLOWであった場合に、同じタイミングにて入力される/RAS信号、/CAS信号、/WE信号が動作制御回路に取り込まれ、CLK立ち上がりエッジの際に/CS信号がHIGHであった場合には、同じタイミングにて入力される/RAS信号、/CAS信号、/WE信号は無視される。/RAS、/CAS、/WE:各制御信号/RAS、/CAS、/WEは、ともに組み合わせることで半導体記憶装置の動作を決定するための信号である。

【0030】A0~A13:アドレス信号A0~A13は、クロック信号に応じてアドレス制御回路に取り込ま

れ、DRAM行デコーダ、DRAM列デコーダ、SRAM行デコーダ、SRAM列デコーダへ伝達され、各々DRAM部セル、SRAM部セルの選択に使用される。さらに内部コマンド信号に応じて後述のモードレジスタに取り込まれ、内部動作のデータ入出力様式の設定に使われる。また同様にSRAM列制御回路の設定にも使われる。また、アドレス信号A13は、DRAMセルアレイのバンク選択信号でもある。

DQM:データマスク信号DQMは、データの入力及び出力をバイト単位で無効化(マスク)する信号である。

DQ0~DQ7:データ信号DQ0~DQ7は、入出力データの信号である。

【0031】(5) 基本動作

以下、本発明による半導体記憶装置の基本動作を説明する。尚、ここで示すコマンドやデータ数などはあくまで一実施例を示すものであり、他の組み合わせも任意に可能である。図5は、本発明による半導体記憶装置の動作機能を決定する各種コマンドと外部入力制御信号の状態の一例である。ただし、この半導体記憶装置の動作機能を決定する各種コマンドと外部入力制御信号の状態の組み合わせは、いかなる組み合わせでもかまわない。

【0032】図5においては基準クロック信号CLKの立ち上がりエッジにおける各入力制御信号の状態とその時に決定される動作を示す。符号" H "は論理ハイレベルを示し、符号" L "は論理ロウレベルを示し、" x "は任意のレベルを示す。また図5の入力制御信号CKEのn-1は注目する基準クロックの前周期における入力制御信号CKEの状態を示し、後述の各コマンドで述べるCKEはCKEのn-1のことを指す。

【0033】次に、図5に示した各コマンドについて順に説明する。

1. 「リードコマンド」

リードコマンドは、SRAMセルからデータを読み出す動作を行うコマンドである。図6に示すように、外部クロック信号の立ち上がりエッジにおける各入力制御信号の状態は、CKE=H、/CS=L、/RAS=H、/CAS=L、/WE=Hである。本コマンド入力時には、A0~A3をSRAM行の選択アドレスとして、A4~A10をSRAM列の選択アドレスとして取り込む。また出力されるデータは、本コマンド入力からレイテンシだけ遅れてDQ0~DQ7に出力される。ただし本コマンドに対して設定されたクロックでDQM=Hである場合は、DQ0~DQ7のデータ出力はマスクされ外部に出力されない。

【0034】図24に、本コマンドによる内部動作についてのアドレス信号とデータの流れを示す。内部アドレス信号iA0~iA3によるSRAM行デコーダの行選択、及び内部アドレス信号iA0~A3とiA4~iA13から作成されるSRAM列選択信号iASC4~iASC10によるSRAM列デコーダの列選択にてSR

10

20

30

40

50

AMセルが選択される。選択されたSRAMセルのデータは、指定のデータ入出力様式でデータアンプを通して外部に出力される。

【0035】2. 「ライトコマンド」

ライトコマンドは、SRAMセルにデータを書き込む動作を行うコマンドである。図7に示すように、外部クロック信号の立ち上がりエッジにおける各入力制御信号の状態は、 $\text{CKE}=\text{H}$ 、 $\text{CS}=\text{L}$ 、 $\text{RAS}=\text{H}$ 、 $\text{CAS}=\text{WE}=\text{L}$ である。本コマンド入力時には、 $\text{A}0 \sim \text{A}3$ をSRAM行の選択アドレスとして、 $\text{A}4 \sim \text{A}10$ をSRAM列の選択アドレスとして取り込む。書き込まれるデータは本コマンドからレイテンシだけ遅れて $\text{DQ}0 \sim \text{DQ}7$ のデータを取り込む。ただし $\text{DQ}0 \sim \text{DQ}7$ のデータ取り込みを行うクロックで $\text{DQM}=\text{H}$ である場合は、 $\text{DQ}0 \sim \text{DQ}7$ のデータはマスクされ内部に取り込まれない。

【0036】本コマンドによる内部動作についてのアドレス信号とデータの流れを図25に示す。 $\text{iA}0 \sim \text{iA}3$ から作成されるSRAM行選択信号 $\text{iASR}0 \sim \text{iASR}3$ に基づきSRAM行デコーダが行選択を行い、 $\text{iA}0 \sim \text{iA}3$ と $\text{iA}4 \sim \text{iA}13$ から作成されるSRAM列選択信号 $\text{iASC}4 \sim \text{iASC}10$ に基づきSRAM列デコーダが列選択を行い、これら行選択および列選択によりSRAMセルが選択される。選択されたSRAMセルに $\text{DQ}0 \sim \text{DQ}7$ から取り込まれた書き込みデータが、ライトバッファを通して書き込まれる。

【0037】図24及び図25に示すように、リードコマンドとライトコマンドの動作では、DRAM部とデータ転送部には全く無関係にSRAM部に対する読み出しと書き込みが行われる。従って、データ入出力用に選択されたSRAMの行以外のSRAMセル群とDRAM部とのデータ転送動作や、DRAM部内の動作がまだ行われていても、それとは無関係にこれらのコマンドによる動作を実行させることができる。また逆に、リードコマンドやライトコマンドによる動作が行われていても、データ入出力用に選択されたSRAMの行以外のセル群とDRAM部とのデータ転送や、DRAM部内のコマンドを入力して動作させることができる。

【0038】3. 「プリフェッチコマンド」

プリフェッチコマンドは、DRAMセル群からSRAMセル群へのデータ転送を行うコマンドである。図8に示すように、外部クロック信号の立ち上がりエッジにおける各入力制御信号の状態は、 $\text{CKE}=\text{H}$ 、 $\text{CS}=\text{L}$ 、 $\text{RAS}=\text{CAS}=\text{H}$ 、 $\text{WE}=\text{L}$ であり、さらに $\text{A}10=\text{L}$ 、 $\text{A}9=\text{L}$ である。本コマンド入力時には、 $\text{A}01 \sim \text{A}3$ をSRAM行の選択アドレスとして、 $\text{A}5$ 、 $\text{A}6$ をDRAM列の選択アドレスとして、 $\text{A}13$ をDRAMアレイのバンクの選択アドレスとして取り込む。

【0039】図26に、本コマンドによる内部動作についてのアドレス信号とデータの流れを示す。後述するア

クティブコマンドで既に選択されているDRAMセル群のうち、 $\text{iA}13$ で指定されるバンクのものが選択される。ここではバンクAを選択する。 $\text{iA}5$ と $\text{iA}6$ により指定のDRAMセル群のビット線が選択される。ビット線のデータはアクティブコマンド時にセンスアンプによって増幅されており、選択されたビット線のデータはデータ転送回路を通してデータ転送バス線へと伝達される。 $\text{iA}0 \sim \text{iA}3$ により選択されたSRAMの行上のセルは前データの保持を停止し、データ転送バス線のデータを取り込み、その後転送されたデータの保持を行う。データ転送回路を通してのセンスアンプからデータ転送線への出力は、データ転送後に停止する。本実施例では本コマンドで一度に転送されるデータ数は 128×8 個である。

【0040】4. 「オートプリチャージを伴ったプリフェッチコマンド」

このコマンドは、DRAMセル群からSRAMセル群へのデータ転送を行うコマンドで、かつデータ転送後に自動的にDRAM部のプリチャージを行うコマンドである。図9に示すように、外部クロック信号の立ち上がりエッジにおける各入力制御信号の状態は、 $\text{CKE}=\text{H}$ 、 $\text{CS}=\text{L}$ 、 $\text{RAS}=\text{CAS}=\text{H}$ 、 $\text{WE}=\text{L}$ であり、さらに $\text{A}10=\text{H}$ 、 $\text{A}9=\text{L}$ である。前述したプリフェッチコマンドと同様に、本コマンド入力時には $\text{A}0 \sim \text{A}3$ をSRAM行の選択アドレスとして、 $\text{A}5$ と $\text{A}6$ をDRAM列の選択アドレスとして、 $\text{A}13$ をDRAMアレイのバンクの選択アドレスとして取り込む。

【0041】本コマンドによる内部動作についてのアドレス信号とデータの流れを以下に示す。後述するアクティブコマンドですでに選択されているDRAMセル群のうち、 $\text{iA}13$ で指定されるバンクのものが選択される。 $\text{iA}5$ と $\text{iA}6$ により指定のDRAMセル群のビット線が選択される。ビット線のデータはアクティブコマンド時にセンスアンプによって増幅されており、選択されたビット線のデータがデータ転送バス線へと伝達される。 $\text{iA}0 \sim \text{iA}3$ により選択されたSRAMの行上のセルは前データの保持を停止し、データ転送バス線のデータを取り込み、その後は転送されたデータの保持を行う。データ転送回路を通してのセンスアンプからデータ転送バス線への出力は、データ転送後に停止する。その後、所定時間たってワード線を非選択状態とし、後述のプリチャージコマンドの項で説明するような内部動作（ビット線とセンスアンプの電位の平衡化）を行う。このコマンド入力から所定の時間後、DRAMは自動的にプリチャージ（非選択）状態となる。

【0042】5. 「リストアコマンド」

このコマンドは、SRAMセル群からDRAMセル群へのデータ転送を行うコマンドである。このコマンドは、図10に示すように、外部クロック信号 $\text{CLK}1$ と $\text{CLK}2$ にまたがる連続入力コマンドである。図10に示し

た外部クロック信号の立ち上がりエッジにおける各入力制御信号の状態は、 $\text{CKE}=\text{H}$ 、 $\text{CS}=\text{L}$ 、 $\text{RAS}=\text{H}$ 、 $\text{CAS}=\text{H}$ 、 $\text{WE}=\text{L}$ であり、さらに $\text{A10}=\text{L}$ 、 $\text{A9}=\text{H}$ である。

【0043】最初の外部クロック信号CLK1の立ち上がりエッジにおいて、A0～A3をSRAM行の選択アドレスとして、A5とA6をDRAM列の選択アドレスとして取り込み、次のクロックCLK2の立ち上がりエッジにおいて、A0～A12を転送先であるDRAM行の選択アドレスとして取り込む。またA13は、CLK1とCLK2の立ち上がりエッジにおいて、DRAMアレイのバンクの選択アドレスとして取り込む。このCLK1とCLK2でそれぞれ入力されたA13アドレスは同一でなければならない。

【0044】図27に、本コマンドによる内部動作についてのアドレス信号とデータの流れを示す。ここで示す内部アドレス信号i1A0～i1A12は最初のクロックCLK1の時の内部アドレスデータ、内部アドレス信号i2A0～i2A12は、次のクロックCLK2の時の内部アドレスデータであり、同一の内部アドレス信号線のデータをクロックごとに分けて表示している。最初のクロックCLK1時のアドレスから作成されるi1A0～i1A13により選択されたSRAMセル群のデータをi1A13により選択されたバンクのデータ転送バス線へ伝達する。その後データ転送バス線のデータは、i1A5とi1A6により選択されたDRAMのビット線に転送される。

【0045】さらにその後、次のクロックCLK2時のアドレスから作成されるi2A0～i2A12及びi1A13によりDRAMのワード線の選択がなされ、選択されたワード線上のセル群はそれぞれの持つデータを対応したビット線へ出力する。それぞれのDRAMのビット線に対応したセンスアンプはビット線に出力されたDRAMセル群のデータを検知し増幅するが、上記i1A5とi1A6により選択されたビット線に対応したセンスアンプは、データ転送バス線から伝達された書き込みデータを検知し増幅する。データ転送バス線を通してのDRAMのビット線へのデータ出力は、ワード線の上昇後に停止する。本実施例では本コマンドで一度に転送されるデータ数は128×8個である。

【0046】6. 「オートプリチャージを伴ったリストアコマンド」

このコマンドは、SRAMセル群からDRAMセル群へのデータ転送を行うコマンドで、かつデータ転送後自動的にDRAM部のプリチャージを行うコマンドである。図11に示すように、外部クロック信号CLK1とCLK2の立ち上がりエッジにおける各入力制御信号の状態は、 $\text{CKE}=\text{H}$ 、 $\text{CS}=\text{L}$ 、 $\text{RAS}=\text{H}$ 、 $\text{CAS}=\text{H}$ 、 $\text{WE}=\text{L}$ であり、さらに $\text{A10}=\text{H}$ 、 $\text{A9}=\text{H}$ である。

【0047】最初の外部クロック信号CLK1の立ち上がりエッジにおいて、A0～A3をSRAM行の選択アドレスとして、A5とA6をDRAM列の選択アドレスとして取り込み、次のクロックCLK2の立ち上がりエッジにおいて、A0～A12を転送先であるDRAM行の選択アドレスとして取り込む。またA13はCLK1とCLK2の立ち上がりエッジにおいて、DRAMアレイのバンクの選択アドレスとして取り込む。このA13アドレスは、CLK1とCLK2で異なってはならない。

【0048】本コマンドによる内部動作についてのアドレス信号とデータの流れを以下に示す。最初のクロックCLK1時のアドレスから作成されるi1A0～i1A13により選択されたSRAMセル群のデータをi1A13により選択されたバンクのデータ転送バス線へ伝達する。その後データ転送バス線のデータは、i1A5とi1A6により選択されたDRAMのビット線に転送される。さらにその後、次のクロックCLK2時のアドレスから作成されるi2A0～i2A12及びi1A13によりDRAMのワード線の選択がなされ、選択されたワード線上のセル群はそれぞれの持つデータを対応したビット線へ出力する。

【0049】それぞれのビット線に対応したセンスアンプは、ビット線に出力されたDRAMセル群のデータを検知し増幅するが、上記i1A5とi1A6により選択されたビット線に対応したセンスアンプは、データ転送バス線から転送された書き込みデータを検知し増幅する。データ転送バス線を通してのDRAMのビット線への出力は、ワード線の上昇後に停止する。その後、所定時間経過してワード線を非選択状態とし、後述するプリチャージコマンドで示す内部動作（ビット線とセンスアンプの電位の平衡化）を行う。このコマンドより所定の時間後、DRAMは自動的にプリチャージ（非選択）状態となる。

【0050】7. 「アクティブコマンド」

このコマンドは、DRAMアレイより選択されたバンクの活性化を行うコマンドである。図12に示すように、外部クロック信号の立ち上がりエッジにおける各入力制御信号の状態は、 $\text{CKE}=\text{H}$ 、 $\text{CS}=\text{H}$ 、 $\text{RAS}=\text{L}$ 、 $\text{CAS}=\text{H}$ 、 $\text{WE}=\text{H}$ である。本コマンド入力時、A13をDRAMのバンク選択アドレスとして、A0～A12をDRAM行の選択アドレスとして取り込む。

【0051】本コマンドによる内部動作についてのアドレス信号とデータの流れを図28に示す。i1A13により選択されたバンク内において、i1A0～i1A12によりDRAMのワード線の選択がなされる。選択されたワード線上のDRAMセル群はそれぞれの持つデータを接続されているビット線へ出力し、それぞれのビット線に対応したセンスアンプはビット線に出力されたDRAMセル群のデータを検知し増幅する。本実施例では、本コ

マンドで一度に増幅されるデータ数は512×8個である。

【0052】すでに活性化されたバンクに対して、他のワード線選択を行いたい場合は、一旦そのバンクのプリチャージを行い、プリチャージ状態にしてから新たにアクティブコマンドを入力する必要がある。このコマンドは通常のDRAMの/RAS信号をLOWにした時のものに相当する。

【0053】8. 「プリチャージコマンド」

このコマンドは、DRAMアレイより選択されたバンクのプリチャージ（非活性化）を行うコマンドである。図13に示すように外部クロック信号の立ち上がりエッジにおける各入力制御信号の状態は、CKE=H、/CS=/RAS=L、/CAS=H、/WE=Lである。本コマンド入力時に、A10=L、A13=有効データである場合、A13のデータで指定されたバンクのプリチャージ（非選択化）を行う。ここで選択されているバンクは、本コマンド以前に入力されたアクティブコマンド時に選択されたものであり、本コマンドで指定されたバンクに対して、本コマンド入力以前にアクティブコマンドが入力されていない場合は無効である。

【0054】以下に、本コマンドによる内部動作についてのアドレス信号とデータの流れを示す。iA13で選択されているバンクの活性化されているDRAMのワード線を非選択状態とし、ビット線とセンスアンプの電位の平衡化を行う。本コマンドの動作終了後、選択されたバンクは、次のアクティブコマンド入力の待機状態となる。このコマンドは通常のDRAMの/RAS信号をHIGHにした時のものに相当する。

【0055】9. 「全バンクプリチャージコマンド」

このコマンドは、DRAMアレイの全バンクのプリチャージ（非活性化）を行うコマンドである。これによりDRAM部はプリチャージ状態に設定され、全バンクの活性状態を終了することができる。図14に示すように外部クロック信号の立ち上がりエッジにおける各入力制御信号の状態は、CKE=H、/CS=/RAS=L、/CAS=H、/WE=Lであり、さらにA10=Hである。

【0056】以下に、本コマンド時の内部動作についてのアドレス信号とデータの流れを示す。選択されているDRAMのワード線を全て非選択状態とし、ビット線とセンスアンプの電位の平衡化を行う。本コマンドの動作終了後、全てのバンクは次のアクティブコマンド入力の待機状態となる。このコマンドは通常のDRAMの/RAS信号をHIGHにした時のものに相当する。

【0057】10. 「CBRリフレッシュコマンド」

このコマンドは、DRAM部セルデータのリフレッシュを行うコマンドである。リフレッシュに必要なアドレス信号は内部で自動発生する。図15に示すように、外部クロック信号の立ち上がりエッジにおける各入力制御

信号の状態は、CKE=H、/CS=/RAS=/CAS=L、/WE=Hである。

【0058】以下に本コマンドによる内部動作についてのアドレス信号とデータの流れを示す。iA0～iA12及びiA13は内部で自動発生する。内部発生されたiA13よりバンクが選択され、同じく発生されたiA0～iA12よりDRAMのワード線の選択がなされ、選択されたワード線上のDRAMセル群はそれぞれの持つデータに対応したビット線へ出力し、それぞれのビット線に対応したセンスアンプはビット線に出力されたDRAMセル群のデータを検知し増幅する。増幅されたデータは、センスアンプにより検知されたビット線を通して、DRAMセル群へと再び書き込まれる。その後の所定の時間後、ワード線を非選択状態とし、ビット線とセンスアンプの電位を平衡化してリフレッシュ動作を終了する。

【0059】11. 「未操作コマンド」

図16に示すCKE=H、/CS=L、/RAS=/CAS=/WE=Hの未操作コマンドは、実行コマンドではない。

12. 「デバイス非選択コマンド」

図17に示すCKE=H、/CS=Hのデバイス非選択コマンドは、実行コマンドではない。

13. 「レジスタ設定コマンド」

このコマンドは、各種動作モードの設定データをレジスタに設定するコマンドである。図18と図19に示すように、外部クロック信号の立ち上がりエッジにおける各入力制御信号の状態は、CKE=H、/CS=/RAS=/CAS=/WE=Lである。本コマンド入力時に、動作モードの設定データとしてA0～A13の有効データを取り込む。電源投入後にはデバイスの初期化を行うため、本コマンドでのレジスタ設定の入力が必要である。

【0060】図20にレジスタ設定コマンド時のアドレスデータによる操作を示す。図20のレジスタ設定コマンド(a)、(b)、(c)、および(d)の一部は、図18に示す1回のクロックでのコマンド入力であり、後述するレジスタ設定コマンド(d)の一部は、図19に示す2回のクロックでのコマンド入力である。図20の(a)は、リフレッシュカウンターのテストセットであり、通常のシンクロナスDRAMと同様のテストセットである。本アドレスセットは、A7=H、A8=Lの入力の際に選択される。図20の(b)は、未使用のセットである。本アドレスセットは、A7=L、A8=Hの入力の際に選択される。図20の(c)は、デバイステストのセットである。本アドレスセットは、A7=H、A8=Hの入力の際に選択される。図20の(d)は、モードレジスタ設定のセットである。本アドレスセットは、A7=L、A8=Lの入力の際に選択され、後述する各種データ入出力様式の設定が行われる。モード

レジスタは副記憶部の各SRAMセル群のデータ入出力様式を記憶する。

【0061】図21にモードレジスタ設定の詳細な設定項目の一覧を示す。モードレジスタ設定(1)コマンドは、レイテンシモードと入出力アドレスシーケンス(ラップタイプ)の切り替えを行うアドレスデータセットである。本コマンドは、図18のように、外部クロック信号の1クロックで入力される。本アドレスセットは、A6=L、A7=L、A8=Lの際に選択される。同時に入力されたA1、A2、A3のデータによりレイテンシモード設定がされ、A0のデータにより入出力アドレスシーケンス(ラップタイプ)の設定がされる。レイテンシモードは、A1=L、A2=H、A3=Lの時にレイテンシ=2に設定され、他のアドレスデータ時は未設定状態となる。入出力アドレスシーケンス(ラップタイプ)は、A0=Lの時にシーケンシャルに設定され、A0=Hの時にインターリーブに設定される。

【0062】モードレジスタ設定(2)コマンドは、SRAMの選択された行ごとにバースト長の設定を行うアドレス・データセットであり、SRAMの行指定とバースト長データの入力のために、図19のように外部クロック信号の2クロックにまたがり連続して入力される。本アドレスセットは、A6=H、A7=L、A8=Lの際に選択される。最初のクロックCLK1でのA0、A1、A2、A3のデータによりSRAMセル群の選択を行い、次のクロックCLK2でのA3、A4、A5のデータによりSRAMセル群のバースト長を設定する。A3=L、A4=L、A5=Lでバースト長は1に設定され、A3=H、A4=L、A5=Lでバースト長は2に設定され、A3=L、A4=H、A5=Lでバースト長は4に設定され、A3=H、A4=H、A5=Lでバースト長は8に設定され、A3=L、A4=L、A5=Hでバースト長は16に設定される。

【0063】以下に、各種データ入出力様式についての簡単な説明を行う。

バースト長：一度のリードコマンドまたはライトコマンドの入力により、連続入出力されるデータの数を表す。データの連続入出力はクロック信号に基づいて行われる。図22にリード時の各信号のタイミングを示す。ここではバースト長は4である。すなわち、CLK0でリードコマンドが入力されると、CLK2、CLK3、CLK4、およびCLK5のクロックで計4つのデータDO-1~DO-4が連続出力される。図23に、ライト時の各信号のタイミングを示す。バースト長は4であるので、CLK0にライトコマンドが入力されると、CLK0、CLK1、CLK2、CLK3のクロックで計4つのデータDO-1~DO-4が連続して取り込まれる。

【0064】レイテンシ：リードコマンドまたはライトコマンドの入力から、データの入出力が可能となるま

での待機時間をクロック数で表したものである。図22にリード時の各信号のタイミングを示す。本実施例では、リード時のレイテンシは2である。すなわち、CLK0にリードコマンドが入力されるとレイテンシは2であるためCLK2からデータはDQ端子に出力され始める。図23にライト時の各信号のタイミングを示す。本実施例ではライト時のレイテンシは0である。すなわちCLK0でライトコマンドが入力されると、レイテンシは0であるためCLK0からDQ端子のデータを取り込み始める。

【0065】ラップタイプ：ラップタイプ(入出力アドレスシーケンス)とは、設定されたバースト長だけ連続してデータを入出力する時の、データ入出力のアドレス順序を決定するものであり、シーケンシャルとインターリーブがある。その他の制御機能として、クロックイネーブル信号CKEの制御による機能コントロールがあるが、これは通常のシンクロナスDRAMと全く同じコントロールである。

【0066】以下に、本発明による半導体記憶装置の動作の一部を簡単に説明する。SRAM部に外部からの指定データがある場合のリード：図24に示すようにリードコマンドのみで指定されたデータは、データアンプを通過して外部へ出力される。SRAM部に外部からの指定データが無い場合のリード：図28に示すように、アクティブコマンドの終了後、図26に示すプリフェッチコマンドを実行し、指定データをSRAM部へと転送する。次に図24に示すリードコマンドで指定データはデータアンプを通過して外部へ出力される。

【0067】SRAM部に外部からの指定データが無い場合であって、未だリストアされていないライトデータがある場合のリード：図27で示したリストアコマンドでライトデータをDRAM部へ転送する。その後、図28に示すアクティブコマンドと図26に示すプリフェッチコマンドを実行し、指定データをSRAM部へと転送する。次に、図24に示すリードコマンドで、指定データはデータアンプを通過して外部へ出力される。

【0068】(6)レイアウト
1. 「全体レイアウト」

図30に、この発明が適用された半導体記憶装置の一実施例のチップ全体レイアウト図を示す。図30に示す半導体記憶装置は、64MビットのDRAMアレイと、16KビットのSRAMアレイを有する×8ビットの2バンク構成のものであって、シンクロナスインターフェイスを有する実施例であるが、特にこれに限定されるものではない。

【0069】図30に示すように、チップ上には縦中央部と横中央部からなる十字のエリアが設けられる。上記の十字のエリアによって4分割された部分にはDRAMアレイが配置され、それぞれをDRAMアレイ110-1、110-2、110-3、110-4とする。

上記DRAMアレイはそれぞれが16Mビットの記憶容量を持ち、DRAMアレイ全体では64Mビットの記憶容量を持つ。DRAMアレイ110-1と110-2には、DRAMアレイの下部の隣接部にそれぞれに対応したDRAM行デコード113が配置される。同様にDRAMアレイ110-3と110-4には、DRAMアレイの上部の隣接部にそれぞれに対応したDRAM行デコード113が配置される。

【0070】DRAMアレイ110-1と110-2の間には、その左右のDRAMアレイに対応したSRAMアレイ120-1とSRAM行デコード121と列デコード123が配置される。同様に、DRAMアレイ110-3と110-4の間には、その左右のDRAMアレイに対応したSRAMアレイ120-2とSRAM行デコード121と列デコード123が配置される。選択されたDRAMセル群と選択されたSRAMセル群の間でのデータ転送を行うデータ転送バス線はDRAMアレイ110-1とSRAMアレイ120-1とDRAMアレイ110-2の間のデータ転送を可能とするように横方向に横断して配置される。同様にデータ転送バス線は、DRAMアレイ110-3とSRAMアレイ120-2とDRAMアレイ110-4の間のデータ転送を可能とするように横方向に横断して配置される。図30の他の部分には、動作制御回路やデータ制御回路等が配置される。また特に制限はされないが本実施例では横中央部には、外部との入出力信号端子が配置される。

【0071】図30に示す例は、主記憶部が2バンク構成であり、同時に選択される部分は、バンクA選択時はDRAMアレイ110-1と110-4であり、バンクB選択時はDRAMアレイ110-2と110-3である。図31に、各アレイに供給される電源配線VCCと接地配線GNDを示す。これにより、同時に選択される部分が一部に集中することがなく、内部電源配線VCCや内部接地配線GND等にかかる負担が一部に偏らないよう構成されている。

【0072】以下、バンクのアレイ配置および電源配線および接地配線についてさらに詳細に説明する。図30に示す例では、DRAMアレイ110-1とDRAMアレイ110-4はバンクAを構成し、DRAMアレイ110-2とDRAMアレイ110-3はバンクBを構成する。すなわち、バンクAおよびBはそれぞれ複数のメモリアレイから構成される。

【0073】また、図31に示すように、各バンクを構成する複数のメモリアレイには別々に電源配線および接地配線が設けられている。換言すれば、一つの電源電位または接地電位の供給源（パッドまたは内部電源回路）には同時に活性化することのない異なるバンクがつながっている。この例では、バンクAに着目した場合、DRAMアレイ110-1には電源配線VCC1と接地配線GND1が設けられ、DRAMアレイ110-4には電

源配線VCC2と接地配線GND2が設けられる。また、バンクBに着目した場合、DRAMアレイ110-2には電源配線VCC2と接地配線GND2が設けられ、DRAMアレイ110-3には電源配線VCC1と接地配線GND1が設けられる。このように、一つのバンクに着目した場合、このバンクに属するメモリアレイ間で電源配線および接地配線は分離されている。

【0074】なお、本発明は、電源および接地配線の両方を共に分離することに制限されるものではなく、電源または接地の何れか一方を分離するようにしてもよい。また、各DRAMアレイ間で電源および接地配線を分離せず、電気的に接続してもよい。この場合、例えば各DRAMアレイに対応づけて電源用パッドまたは設置用パッドを設けて、各DRAMアレイの電源配線または設置配線の電位を安定化させればよい。

【0075】また、図30に示す上述の例では、同一のバンクに属するメモリアレイは、互いに対角線方向に位置するように配置される。これにより、隣り合うメモリアレイが互いに異なるバンクに属するように配置され、同一のバンクに属するメモリアレイが隣接しないようになっている。また、図31に示すように、で電源配線および接地配線は、互いに異なるバンクに属する複数のメモリアレイで共有されている。具体的には、バンクAに属するDRAMアレイ110-1とバンクBに属するDRAMアレイ110-3とで電源配線VCC1および接地配線GND1を共有し、バンクBに属するDRAMアレイ110-2とバンクAに属するDRAMアレイ110-4とで電源配線2および接地配線GND2を共有している。

【0076】上述の図30および図31に示す例では、対角線方向に位置するメモリアレイが同一のバンクに属するものとしたが、もちろんバンクAをDRAMアレイ110-1と110-3、バンクBをDRAMアレイ110-2と110-4としたり、さらに分割数を増やして同時選択されるエリアを分散させたり、同時選択されるエリアを減少させることを制限するものではない。ただし、バンクAをDRAMアレイ110-1および110-3とし、バンクBをDRAMアレイ110-2および110-4とした場合、例えばDRAMアレイ110-1およびDRAMアレイ110-3に電源配線VCC1および接地配線GND1を割り付け、DRAMアレイ110-3およびDRAMアレイ110-4に電源配線VCC2および接地配線GND2を割り付け、同一のバンクに属するDRAMアレイに対して別々の電源配線および接地配線が割り付けられるように修正する必要がある。このように、各バンクに対するDRAMアレイおよび電源接地配線の割り付けを行うことにより、電源配線および接地配線を流れる電流が分散され、この電流に起因した配線上のノイズが抑制される。

【0077】以下、このノイズ抑制のメカニズムを説明

する。いま、DRAM部（主記憶部）とSRAM部（副記憶部）との間でデータ転送を行う場合、DRAM部を構成するバンクAまたはBの何れかが択一的に選択される。即ち、複数のバンクのDRAMアレイが同時に活性化されることはない。ここで、図30および図31において、バンクAが選択された場合を考えると、このバンクAを構成するDRAMアレイ110-1には電源配線VCC1および接地配線GND1が設けられ、DRAMアレイ110-4には電源配線VCC2および接地配線GND2が設けられている。すなわち、これらDRAMアレイには別々の電源配線および接地配線が設けられており、これらのアレイ間で電源配線および接地配線は分離されたものとなっている。

【0078】したがって、この場合、バンクAが活性化されて、このバンクAに属するDRAMアレイ110-1およびDRAMアレイ110-4が同時に書き込み読み出しの対象とされても、これらのDRAMアレイには別々の電源配線および接地配線を介して電源電位および接地電位が供給される。また、上記の電源配線VCC1および接地配線GND1にはDRAMアレイ110-1に加えてDRAMアレイ110-3が接続され、電源配線VCC2および接地配線GND2にはDRAMアレイ110-4に加えてDRAMアレイ110-2が接続されているが、バンクBは活性化されていないので、DRAMアレイ110-2およびDRAMアレイ110-3での動作電流は発生しない。

【0079】この結果、バンクAの一部の電源配線および接地配線に電流が集中することがなくなり、各DRAMアレイの動作電流が分散される。しかも、複数のバンクが同時に活性化されることはないので、各電源配線および接地配線はバンクAおよびバンクBにそれぞれ属する複数のDRAMアレイに対して同時に電源電位および接地電位を供給することはない。よって、各アレイの電源配線および接地配線上のノイズが軽減され、抑制されることとなる。バンクBが活性化された場合も同様にこのバンクBに属する各DRAMアレイの電流が分散され、この電流に起因したノイズが有効に抑制される。

【0080】また、図30および図31に示す例では、各DRAMアレイは、異なるバンクに属するDRAMアレイと隣接し、同一のバンクに属するDRAMアレイが互いに隣接することがない。即ち、同一のバンクに属するDRAMアレイは位置的に分散される。ここで、上述のように、何れかのバンクのみが選択的に活性化されるのであるから、結局のところ活性化されるDRAMアレイは互いに隣接する場合はなく、位置的に分散されることとなる。これにより、チップ上で活性化されるアレイが一カ所に集中して存在することがなくなる。このことは、電流を消費する回路部分が分散され、発熱箇所が分散されることを意味する。したがって、ノイズの抑制に加えて、信頼性をも向上させることが可能となる。

【0081】この例のように、電源配線および接地配線を分離し、各バンクのDRAMアレイを位置的に分散させることにより、一部の電源配線および接地配線に電流が集中することがなくなり、電源または接地配線上のノイズが軽減され、しかも信頼性を向上させることができるようになる。

【0082】(7) 各ブロックの詳細説明

図1に示した全体ブロック図の各回路ブロックについて詳細に説明を行う。尚、以下の説明は、あくまで一実施例を示すもので、この説明に限定されるものではない。

1. 「動作制御回路」

図32に、動作制御回路のブロック図を示す。動作制御回路150は、内部クロック発生回路410とコマンドデコーダ420とコントロールロジック430、アドレス制御回路440及びモードレジスタ450から構成される。内部クロック発生回路410は外部入力信号のCLKとCKEより内部クロック信号iCLKを発生する。内部クロック信号iCLKはコマンドデコーダ420、コントロールロジック430、アドレス制御440及びデータ制御回路に入力され、各部のタイミング制御を行う。

【0083】コマンドデコーダ420は、各入力信号を受けるパッファ421とコマンド判定回路422を持つ。内部クロック信号iCLKに同期して、/CS信号、/RAS信号、/CAS信号、/WE信号及びアドレス信号がコマンド判定回路421に伝達されて内部コマンド信号iCOMが発生する。コマンド発生回路421はそれぞれの入力信号に対して、図5のコマンドと各入力端子状態の対応表に示すような応答動作を行う。コントロールロジック430は内部コマンド信号iCOMと内部クロック信号iCLKとレジスタ信号iREGを受け、それらの信号により指定された動作を行うのに必要な制御信号を発生する。

【0084】コントロールロジックは、DRAM制御回路431、転送制御回路432、SRAM部制御回路433に分けられ、それぞれの制御信号を発生する。レジスタ450は、コマンド判定回路からの特定のレジスタ書き込み用の信号を受けた場合に、特定のアドレス入力のデータの組み合わせにより定義されるデータを保持する機能を持ち、以降は再度レジスタ書き込み用の信号が入力されるまでは、データ保持を行う。レジスタに保持されたデータはコントロールロジック430が動作する場合に参照される。

【0085】2. 「DRAM部」

「DRAM部とデータ転送回路」図1に示したDRAM部とデータ転送回路の具体的な構成を図33に示す。図33において、DRAM部101は行列状に配置された複数のダイナミック型メモリセルDMCを持つ。メモリセルDMCは1個のメモリトランジスタN1と1個のメモリキャパシタC1を含む。メモリキャパシタC1の対

極には、一定の電位 V_{gg} ($1/2V_{cc}$ 等)が与えられる。さらにDRAM部101は、行状にDRAMセルDMCが接続されるDRAMワード線DWLと、それぞれ列状にDRAMセルDMCが接続されるDRAMビット線DBLを持つ。ビット線はそれぞれ相補的な対で構成されている。DRAMセルDMCはワード線DWLとビット線DBLの交点にそれぞれ設置される。

【0086】またDRAM部101は、ビット線DBLに対応したDRAMセンスアンプDSAを持つ。センスアンプDSAは、対になったビット線間の電位差を検知し増幅する機能を持ち、センスアンプ制御信号DSAP及びDSANにより動作制御される。ここではDRAMアレイは $\times 8$ ビットの2バンク構成の64Mビットであるため、ワード線はDWL1~DWL8192を持ち、ビット線はDBL1~DBL512を持ち、センスアンプはDSA1~DSA512を持つ。これは1バンクの $\times 1$ ビット分の構成である。

【0087】DRAM部101は、ワード線DWL1~DWL8192の選択を行うためDRAM行デコーダ113を持ち、DRAM内部行アドレス信号iADRO~iADR12及びバンク選択信号iAD13を発生するDRAM行制御回路115を持つ。またDRAM部101はDRAMビット線選択回路DBSWを持ち、DRAM列デコーダ114より発生するDRAMビット線選択信号DBS1~DBS4により4対のビット線から1対のビット線を選択し、データ転送回路103を介してデータ転送バス線TBLとの接続を行う。さらにDRAM列デコーダにて使用されるDRAM列アドレス信号iADC5とiADC6を発生するDRAM列制御回路116を持つ。

【0088】図34に、図30に示した本発明の一実施例である全体レイアウトの中のDRAMアレイ110-1の具体的なアレイ構成の一例を示す。図34において、DRAMアレイは、16個のメモリセルブロックDMB1~DMB16に分割される。メモリセルブロックDMB1~DMB16各々に対応するDRAM行デコーダDRB1~DRB16と、(センスアンプ+DRAMビット線選択回路+データ転送回路)に対応するブロックSAB1~SAB17が設けられる。この図においては、メモリセルブロックDMB1~DMB16はそれぞれ512行 \times 2048列の1Mビットの容量を備える。またこの分割数はこれに限られることはない。

【0089】図34に示すように、DRAMメモリセルアレイを複数に分割すると、一本のビット線の長さが短くなるのでビット線の容量が小さくなり、データ読み出し時にビット線に生じる電位差を大きくすることができる。また、動作時には、行デコーダにより選択されたワード線を含むメモリセルブロックに対応するセンスアンプしか動作しないため、ビット線の充放電に伴う消費電力を低減することができる。

【0090】図35は、図34のレイアウトの一部分140 (ビット線4対分) について、転送バス線とビット線の接続関係を詳細に示す一例の図である。図35においてセンスアンプDSAは、メモリセルブロックの一端に1つの列に対応するセンスアンプDSA1があり、他端に次の列に対応するセンスアンプDSA2があるように千鳥状に配置される。これは最新のプロセスでは、メモリセルサイズは小型化されているが、センスアンプのサイズはそれに比例して縮小されていないため、センスアンプをビット線ピッチにあわせて配置する余裕のない場合に必要なのである。よって、ビット線ピッチが大きい場合はメモリセルブロックの一端にのみ配置することも可能である。またセンスアンプDSAは2つのメモリセルブロックで、シェアード選択回路を介して共用される。また各々のビット線はビット線対の間の電位平衡化及びプリチャージを行うビット線制御回路を持つ。但し、このビット線制御回路もセンスアンプと同様に、2つのメモリセルブロックで共用することも可能である。

【0091】ビット線とデータ転送バス線は、DRAMビット線選択信号DBS1~DBS4により選択されるDRAMビット線選択回路DBSW1~DBSW4と、さらに図36に詳細な回路例を示すスイッチングトランジスタSWTRを用いたデータ転送回路TSW1及びTSW2を介して接続される。データ転送回路を活性化するデータ転送活性化信号TE1及びTE2は、図32に示した動作制御回路にて生成される転送制御信号とメモリセルブロックを選択するアドレス信号とで論理をとって得られた信号である。また図35にて示したデータ転送バス線との接続においては、データ転送バス線はデータ転送回路を用いて接続されるため、活性化していないメモリセルブロックのデータ転送回路は非導通状態となった場合、その先に接続されているDRAMビット線選択回路の負荷が見えない。このため、動作時のデータ転送バス線の負荷を極力小さくすることができる。しかし図35に示す構成では、データ転送回路を配置し、そのデータ転送回路を活性化するデータ転送活性化信号を配線する必要上、チップ面積は増大してしまうという問題がある。

【0092】この問題を解決する一例の構成を示したのが図37である。図37において、ビット線とデータ転送バス線は、DRAMビット線選択信号DBS1~DBS4により選択されるDRAMビット線選択回路DBSW1~DBSW4のみを介して接続される。これはDRAMビット線選択信号DBS1~DBS4を発生するDRAM列デコーダにデータ転送活性化信号の論理を追加して、データ転送回路の機能を持たせることで実現できる。これによれば、動作時のデータ転送バス線の負荷は大きくなるが、チップ面積を非常に小さくすることができる。

10

20

30

40

50

【0093】DRAM部の活性化と列選択及びデータ転送の動作を図33と図35を用いて説明する。まず、DRAM部の活性化について説明する。図33において、図32に示した動作制御回路にて生成されるDRAM部制御信号の中の一つであるDRAM行選択の制御信号と内部アドレス信号*iA0*～*iA13*がDRAM行制御回路115に入力されるとバンク選択信号*iAD13*とDRAM内部行アドレス信号*iADR0*～*iADR12*が発生し、DRAM行デコード113により指定バンクのワード線DWLが選択される。選択されたワード線DWLが上ると、セルDMC内に保持されていたデータはビット線DBLに出力される。ビット線対にあらわれたデータの差電位はセンスアンプ駆動信号DSAN及びDSAPによるセンスアンプDSAの動作により検知され増幅される。DRAM部101で同時に活性化されるセンスアンプ数は512個であり、×8ビット構成であるので合計 $512 \times 8 = 4096$ 個となる。

【0094】次に、DRAM部の列選択及びデータ転送について説明する。図33のDRAM列制御回路116は、内部アドレス信号*iA5*と*iA6*及び図32に示した動作制御回路にて生成されるDRAM部制御信号の中の一つである制御信号が入力され、DRAM列アドレス信号*iADC5*と*iADC6*が発生する。DRAM列アドレス信号*iADC5*と*iADC6*はDRAM列デコード114に入力され、DRAMビット線選択信号DBS1～DBS4が発生してビット線を選択したのち、図32に示した動作制御回路にて生成される転送制御信号とメモリセルブロックを選択するアドレス信号にて論理をとられたデータ転送活性化信号TEによりデータ転送バス線TBLにビット線のデータを伝達する。図37で示したように、DRAM列デコードにてデータ転送活性化信号の論理を追加したことでデータ転送回路の機能を持たせることができ、DRAMビット線選択信号DBS1～DBS4は列選択と同時に転送動作を行わせる信号とすることができる。

【0095】図37でDRAMビット線選択信号DBS1が選択されたとすると、転送制御信号に同期した信号がDRAMビット線選択回路DBSW1に入力され、センスアンプDSA1にて増幅されたビット線DBL1と／DBL1のデータはデータ転送バス線TBL1と／TBL1へと伝達される。この図37で示した部分は、図33のDRAM部101では128組であり、×8ビット構成であるため、同時にビット線からデータ転送バス線へ転送されるデータは合計 $128 \times 8 = 1024$ 個である。この同時に転送する個数は他のビット構成でも同じとなる。

【0096】「DRAM行制御回路とDRAM行デコード」図38に、DRAM行制御回路115の構成を示す。DRAM行制御回路115は、DRAM内部行アドレスラッチ回路460、マルチプレクサ470、内部ア

ドレスカウンタ回路480、リフレッシュ制御回路490を持つ。通常のDRAM部の活性化では、DRAM行制御回路115は、DRAM行アドレスラッチ信号ADRLと内部アドレス信号*iA0*～*iA13*が入力されたアドレスラッチ回路460より、マルチプレクサ470を通して、DRAM内部行アドレス信号*iADR0*～*iADR12*とバンク選択信号*iAD13*をDRAM行デコード113へ出力する。

【0097】リフレッシュ動作時では、DRAM行制御回路115はリフレッシュ制御信号の入力を受けて、リフレッシュ制御回路490が内部アドレスカウンタ回路480を動作させ、マルチプレクサ470を制御して内部アドレスカウンタ回路からの選択信号を出力する。結果としてアドレス信号の入力なしにDRAM内部行アドレス信号*iADR0*～*iADR12*とバンク選択信号*iAD13*をDRAM行デコード113へ出力する。また内部アドレスカウンタ回路480はリフレッシュ動作を行うごとに、あらかじめ設定された方法でアドレスの自動加算または減算を行い、全てのDRAM行を自動で選択可能としている。

【0098】「DRAM列制御回路とDRAM列デコード」図39に、図33に示すDRAM列制御回路とDRAM列デコードの具体的構成の一例を示す。図39において、DRAM列制御回路116は、DRAM内部列アドレスラッチ回路495で構成されており、DRAM内部列アドレス信号*iADC5*、*iADC6*は内部アドレス信号*iA5*、*iA6*と、DRAMセルからSRAMセルへのデータ転送（プリフェッチ転送動作）及びSRAMセルからDRAMセルへのデータ転送（リストア転送動作）のコマンド入力時のクロックサイクルでそれを取り込むDRAM列アドレスラッチ信号ADCLにより生成される。

【0099】ここで、DRAM列アドレスラッチ信号ADCLは、図32に示された動作制御回路にて生成される転送制御信号のうちの一つである。またDRAM列デコード114は、DRAM列制御回路116より発生したDRAM内部列アドレス信号*iADC5*、*iADC6*をデコードする回路で、この出力信号はメモリセルブロック選択アドレス信号と転送制御信号TEが活性化している時にのみ発生するDRAM列選択信号である。よって図35に示されるデータ転送回路の活性化信号TE1及びTE2は、この例のDRAM列デコード114の出力信号が兼ねており、データ転送回路も後述するDRAMビット線選択回路が兼ねている。

【0100】「DRAMビット線選択回路」図40～図43に、図37におけるDRAMビット線選択回路の具体的回路構成の一例を示す。図40はもっとも簡単な構成で、Nチャネル型MOSトランジスタ（以下NMOSトランジスタと称する）N200及びN201からなるスイッチングトランジスタにより構成され、DRAM列

10

20

30

40

50

選択信号によってDRAMビット線DBLとデータ転送バス線TBLを接続する。

【0101】図41に示す例は、DRAMビット線DBLのデータをデータ転送バス線TBLに伝達する際には、ゲートにDRAMビット線対がそれぞれ接続されてDRAMビット線DBLを差動的に増幅するNMOSトランジスタN210及びN211と、この増幅された信号をプリフェッチ転送用DRAM列選択信号によってデータ転送バス線TBLに伝達するNMOSトランジスタN212及びN213からなるスイッチングトランジスタで構成される。NMOSトランジスタN210及びN211の一方端は例えば接地電位等の固定電位に接続される。またデータ転送バス線TBL上のデータをDRAMビット線DBLに伝達するために、図40で示したのと同じようにNMOSトランジスタN214及びN215からなるスイッチングトランジスタが設けられ、これによりリストア転送用DRAM列選択信号によってDRAMビット線DBLとデータ転送バス線TBLを接続する。

【0102】図42に示す例は、DRAMビット線DBL上のデータをデータ転送バス線TBLに伝達する際には、図41と同様に、ゲートにDRAMビット線対がそれぞれ接続されてDRAMビット線DBLを差動的に増幅するNMOSトランジスタN230及びN231と、この増幅された信号をプリフェッチ転送用DRAM列選択信号によってデータ転送バス線TBLに伝達するNMOSトランジスタN232及びN233からなるスイッチングトランジスタで構成される。NMOSトランジスタN230及びN231の一方端は例えば接地電位等の固定電位に接続される。

【0103】またデータ転送バス線TBL上のデータをDRAMビット線DBLに伝達するために、ゲートにデータ転送バス線対がそれぞれ接続されてデータ転送バス線TBLを差動的に増幅するNMOSトランジスタN250及びN251と、この増幅された信号をリストア転送用DRAM列選択信号によってDRAMビット線DBLに伝達するNMOSトランジスタN234及びN235からなるスイッチングトランジスタが設けられる。NMOSトランジスタN250及びN251の一方端は例えば接地電位等の固定電位に接続される。

【0104】図43に示す例は、図42で示した構成をデータ転送バス線を一本しか用いないで構成したもので、当然NMOSトランジスタN260はDRAMビット線DBLを差動的に増幅するのではなく、DRAMビット線の電位によりデータ転送バス線を引き抜く動作を行う。NMOSトランジスタN280も同様である。また、これは図40のように、スイッチングトランジスタのみで構成されてもよい。この例のように、データ転送バス線を一本にすることで、配線レイアウトが簡単になりデータ転送バス線間ノイズも減少できる。

【0105】また、図41～図43のように、トランジスタのゲートにDRAMビット線またはデータ転送バス線をうけて伝達する構成では、DRAMビット線とデータ転送バス線を完全に切り離せるため、一方で発生したノイズが伝わりにくく、しかも高速に動作が可能である。

【0106】「DRAMビット線選択回路とSRAMセルとの構成」図44に、図29に示すアレイレイアウトにおける1対のデータ転送バス線と、DRAMビット線選択回路とSRAMセルとの関係を示す。図44において、DRAMセルの同一列上のセルは、DRAMビット線選択回路を介してデータ転送バス線と接続され、SRAMセルの同一列上のセルとのデータ転送が可能である。またデータ転送バス線とSRAMセルは転送バス制御回路498を介して接続される。このデータ転送バス制御回路498には、SRAMセルの両側に配置されたDRAMアレイ（ここではバンクA、バンクBとする）を選択し接続する回路を含み、活性化したバンクとだけ接続することが可能となっており、データ転送バス線の負荷が減ったことによる充放電電流の削減やデータ転送の高速化が実現できる。しかも図45にその動作を示すように両方のバンクのデータ転送を交互に実行する（バンクピンポン動作）際に、一方のバンクのデータ転送バス線を切り離せるため、両方のバンクのデータ転送を重ねて実行でき、実効的なデータ転送周期を短くすることが可能である。

【0107】前述したように、本実施例による半導体記憶装置では、一度にデータ転送するビット数は1024ビットであり、なおかつこのデータ転送バス線の負荷は非常に大きい。このため、データ転送バス線上の全ての信号が電源電圧レベルまでフル振幅すると、ピーク電流及び消費電流が非常に大きくなる。そこで、データ転送バス線上の信号をフル振幅させず、最高でも電源電圧の2分の1くらいまでの振幅とすることでピーク電流及び消費電流を大幅に削減できる。

【0108】しかし、データ転送バス線の振幅が小さいと、その微小電位差をSRAMセルは増幅しなければならず、転送スピードが多少遅くなってしまう。そこでSRAMセル部内のデータ転送バス線TBLSのみをフル振幅させるため、転送バス制御回路498に、DRAMバンク内のデータ転送バス線TBLAもしくはTBLBをゲートに接続し差動的に増幅する差動型増幅回路を設けてもよい。或いはDRAMバンク内のデータ転送バス線TBLAもしくはTBLBを切り離した状態で、SRAM部内のデータ転送バス線TBLSのみを増幅するセンスアンプ等を設けてもよい。また転送バス制御回路498は、データ転送バス線対の電位の平衡化やプリチャージする回路を有する。

【0109】3. 「SRAM部」

「SRAM部とデータ入出力端子間の構成」図46に、

図1に示すSRAM部とデータ入出力端子間の具体的な構成の一例を示す。この図では、外部データ入出力端子DQの1ビット分に対する構成を抽出して示している。なおこの例は、16KビットのSRAMアレイを有した、×8ビット構成についての実施例であるが、本発明はこれに制限されることはなく主記憶部の構成との組み合わせを含めて、様々な構成においても同様のことが実現できる。

【0110】図46において、SRAMメモリセルSMCは、図47に一例を示すように、フリップフロップ回路311（本例ではフリップフロップ回路であるが、スタティックにデータを記憶する回路であればこれに制限されない）の両端にDRAM部からくるデータ転送バス線TBLと接続するための接続回路312と、SRAMビット線SBLと接続するための接続回路313を有しており、DRAMセルとSRAMセルとの間でデータ転送を行う際、前述したデータ転送バス線との接続回路を活性化させるSRAMセルデータ転送用行選択信号TWL1～TWL16と、SRAMセルに対して読み出しまたは書き込みを行う際、前述したSRAMビット線SBLとの接続回路を活性化させるSRAMセル読み書き用行選択信号SWL1～SWL16を発生するSRAM行デコーダ121と、そのSRAM行デコーダ121に入力されるSRAM内部行アドレス信号iASR0～iASR3を内部アドレス信号iA0～iA3とSRAM部制御信号とにより発生するSRAM行制御回路124を有する。もちろん、SRAMセルデータ転送用行選択信号TWLと、SRAMセル読み書き用行選択信号SWLは共通にすることも可能である。

【0111】またSRAMビット線SBLは、ビット線の平衡化やプリチャージを行うSRAMビット線制御回路303と、データ入出力線SIOとSRAMビット線SBLを導通させるSRAM列選択回路304を有しており、そのSRAM列選択回路304に入力する選択信号SSL1～SSL128を発生するSRAM列デコーダ123と、そのSRAM列デコーダ123に入力されるSRAM内部列アドレス信号iASC4～iASC10を、内部アドレス信号iA0～iA13とSRAM部制御信号により発生するSRAM列制御回路122を有している。ここでSRAMビット線制御回路303は、SRAMビット線SBLのレベルを検知し増幅するセンスアンプ回路を有してもよい。

【0112】さらにデータ入出力線SIOは外部データ入出力端子DQと、データ入出力回路308及びリード／ライトアンプ307を介して接続されている。データ入出力線SIOについては、ライト用とリード用に分離しても構わない。またSRAMセルに対する読み出し動作もしくは書き込み動作は、データ転送を行う転送バス線TBLと読み出しを行うSRAMビット線SBLをそれぞれ備えているため、データ転送動作に関係なく読み

出しを行うことが可能である。

【0113】「SRAMビット線との接続回路とデータ転送バス線との接続回路」図48～図50に、SRAMビット線SBLと接続するための接続回路の具体的な回路例を示す。図48に示す例は、もっとも簡単な構成で、NMOSTランジスタN104及びN105からなるスイッチングトランジスタにより構成され、読み書き用行選択信号SWLによってSRAMビット線SBLと接続する。

【0114】図49に示す例は、フリップフロップ回路のデータを読み出すために、ゲートにフリップフロップ回路の両端子がそれぞれ接続されてフリップフロップ回路の両端子を差動的に増幅するNMOSTランジスタN108及びN109と、この増幅された信号を読み出し用行選択信号SRWLによってSRAMビット線SBLに伝達するNMOSTランジスタN106及びN107からなるスイッチングトランジスタにより構成される。NMOSTランジスタN108及びN109の一方端は例えば接地電位等の固定電位に接続される。またフリップフロップ回路にデータを書き込むために、図48で示したのと同じようにNMOSTランジスタN110及びN111からなるスイッチングトランジスタが設けられ、書き込み用行選択信号SWWLによってSRAMビット線SBLとフリップフロップ回路を接続する。

【0115】図50に示す例は、フリップフロップ回路のデータを読み出すために、図49と同様に、ゲートにフリップフロップ回路の両端子がそれぞれ接続されてこのフリップフロップ回路の両端子のデータを差動的に増幅するNMOSTランジスタN108及びN109と、この増幅された信号を読み出し用行選択信号SRWLによってSRAM読み出し用ビット線SRBLに伝達するNMOSTランジスタN106及びN107からなるスイッチングトランジスタで構成される。NMOSTランジスタN108及びN109の一方端は例えば接地電位等の固定電位に接続される。

【0116】また、フリップフロップ回路にデータを書き込むために、これと同様に、ゲートにSRAM書き込み用ビット線対がそれぞれ接続されてSRAM書き込み用ビット線SWBL上のデータを差動的に増幅するNMOSTランジスタN114及びN115と、この増幅された信号を書き込み用行選択信号SWWLによってフリップフロップ回路の両端子に伝達するNMOSTランジスタN112及びN113からなるスイッチングトランジスタが設けられる。NMOSTランジスタN114及びN115の一方端は例えば接地電位等の固定電位に接続される。

【0117】また、図49、図50のように、トランジスタのゲートにフリップフロップ回路の両端子またはSRAMビット線SBLをうけてデータを伝達する構成では、フリップフロップ回路の両端子とSRAMビット線

SBLを完全に切り離せるため、一方で発生したノイズが伝わりにくく、しかも高速に動作が可能である。データ転送バス線TBLとの接続回路も、図48～図50と全く同様に構成することかできる。

【0118】「SRAM行制御回路」図51に、図46に示したSRAM行制御回路の具体的な回路構成の一例を示す。図51において、SRAM行制御回路は、SRAM内部行アドレスラッチ回路350で構成されており、SRAM内部行アドレス信号iASR0～iASR3は内部アドレス信号iA0～iA3と、リード/ライトコマンド入力時のクロックサイクルでそれを取り込むラッチ信号ASRLにより生成される。ここでラッチ信号ASRLは、図32に示された動作制御回路にて生成されるSRAM部制御信号のうちの一つである。

【0119】「SRAM列制御回路」図52に、図46に示したSRAM列制御回路の具体的な回路構成の一例を示す。図52においてSRAM列制御回路は、内部アドレス信号iA4～iA10を、リード/ライトコマンド入力時のクロックサイクルにて発生するラッチ信号ASCLで取り込むSRAM内部列アドレスラッチ回路507と、そのSRAM内部列アドレスラッチ回路507の出力を制御信号SCEにより取り込み、SRAMに対して読み出し書き込みを行うバースト動作中に動作する内部カウントアップ信号CLKUPにて所定のアドレスシーケンスでカウントアップするカウンタ回路506を有しており、SRAM内部列アドレス信号iASC4～iASC10はこのラッチ回路507とカウンタ回路506の出力のいずれかを通過させるマルチプレクサ508を介して出力される。またこのマルチプレクサ508は、リード/ライトコマンド入力時のクロックサイクルにおいてラッチ回路507の出力を選択し、少しでも速くSRAM内部列アドレス信号を出力するよう制御信号SCSLにより制御されている。

【0120】さらに本発明によるSRAM列制御回路は、複数のSRAMセル群（本例では行ごとに分割されるSRAMセル群）それぞれに対して全く異なるデータ入出力様式、例えばバースト長、データ入出力アドレスシーケンス、レイテンシ等を設定できるように、前述したモードレジスタ設定（2）コマンドサイクル（この例ではバースト長のみの設定が各SRAMセル群に対して可能であるが、同様にしてデータ入出力アドレスシーケンス、レイテンシ等の設定ができるようにしてもよい）において、内部アドレスiA0～iA13の状態によりそのデータ入出力様式を取り込み保持しておくデータ入出力様式記憶部505を備えている。

【0121】このデータ入出力様式記憶部505は、内部アドレスiA0～iA13の状態より取り込む設定データを生成する取り込み用ロジック502と、iA0～iA3でデコードされ前述のモードレジスタ設定（2）コマンドサイクルにおいて発生するイネーブル信号CR

Eにより選択されるデコード回路501の出力によって、各SRAMセル群のデータ入出力様式の設定データ（前記取り込み用ロジック502の出力）を取り込むレジスタ503を、分割されるSRAMセル群の数だけ備えており、さらにリード/ライトコマンドサイクルにおいて、前述したSRAM内部行アドレスラッチ回路350より出力されたiASR0～iASR3をデコード回路509によりデコードした信号にて選択制御し、SRAMセル群の設定データを保持する前記レジスタ503の出力のいずれかを通過させるマルチプレクサ504を有する。

【0122】前記カウンタ回路506は、そのマルチプレクサ504の出力を取り込み、各SRAMセル群で設定されたデータ入出力様式にて動作する。またデータ入出力様式記憶部505は、設定するデータ入出力様式の数だけ備える必要がある。ここで内部カウントアップ信号CLKUP、イネーブル信号CRE、制御信号SCE、SCSL、ラッチ信号ASCLは、図32に示された動作制御回路にて生成されるSRAM部制御信号である。もちろん前述したSRAM内部行アドレスラッチ回路350に inputsするラッチ信号ASRLと、SRAM内部列アドレスラッチ回路507に inputsするラッチ信号ASCLは共通にすることも可能である。

【0123】またこのデータ入出力様式記憶部505の設定は、前述したモードレジスタ設定（2）コマンドサイクルによる各SRAMセル群ごとに行う他に、2つ以上のSRAMセル群の設定データを一度に同じ設定を行うことも、図5に示されたモードレジスタ設定（2）コマンドのSRAM行データを設定する際に、アドレスA4とA5との論理を設定することで可能である。例えば、A4=LかつA5=Lの時は各SRAMセル群ごとに、A4=HかつA5=Lの時はSRAM行データの最下位ビットを無視した2つのSRAMセル群に、A4=LかつA5=Hの時はSRAM行データの下位2ビットを無視した4つのSRAMセル群に設定するといったように様々な組み合わせから設定することができる。

【0124】さらにデータ入出力様式記憶部505は、取り込み用ロジック502とレジスタ503を必ずしも分割されるSRAMセル群の数分だけ備える必要はなく、複数のSRAMセル群に対して共通に有してもよい。またデコード回路509に inputsされるiASR0～iASR3は、必ずしもSRAM内部行アドレスラッチ回路350からの信号を使用しなくてもよく、これとは別に回路を備えてもよい。

【0125】さらに、図53に示すように、SRAM内部列アドレスラッチ回路507とマルチプレクサ508は、外部基準クロック信号に同期した内部クロック信号iCLKとの論理を経てすぐに出力される回路構成とすることで、高速に内部アドレス信号を発生させることができる。ここで、図53において、INTAiと/IN

TAiはカウンタ回路506からのアドレス信号であり、EXTAiと/EXTAiは内部アドレス信号iAiから生成される信号である。これらの信号の切り替えを制御信号SCSL、/SCSLおよびバースト制御信号で行う。SCSLは制御信号であり、/SCSLは制御信号SCSLの逆相信号である。図54に、この回路の動作例を示す。本回路構成ではiCLKから内部アドレス信号Yiが出力されるまでの遅延はインバーター1段分であり最小に抑えられる。また内部アドレス信号YiとYiBはアドレスパルス信号として出力される。

【0126】「SRAM列デコーダとデータ制御回路構成」図55に、SRAM列デコーダ123とデータ制御回路160の構成の一例を示す。この例では、SRAM部102は、格納されたデータを外部に読み出すための複数系統の読み出し手段を備えて構成される。すなわち、SRAM列デコーダ123は、第一の列デコーダ390および第二の列デコーダ391と、第一の列アドレスバッファ392および第二の列アドレスバッファ393とから構成される。第一の列アドレスバッファ392および第二の列アドレスバッファ393は、前述の図1

【0127】第一の列デコーダ390は、第一の列アドレスバッファ392からの第一のSRAM列アドレス信号iASC-1をデコードして第一の列デコーダ出力信号SSL-1を出力するように構成される。第二の列デコーダ391は、第二の列アドレスバッファ393からの第二のSRAM列アドレス信号iASC-2をデコードして第二の列デコーダ出力信号SSL-2を出力するように構成される。

【0128】SRAMアレイ120には、フリップフロップを主体とするSRAMセルからなるデータバッファ394がマトリクス状に配列され、各データバッファ394には、上述の第一の列デコーダ出力信号SSL-1により導通制御される第一のスイッチ回路397-1と、第二の列デコーダ出力信号SSL-2により導通制御される第二のスイッチ回路397-2とが接続されている。各データバッファ394は、第一のスイッチ回路397-1および第二のスイッチ回路397-2を介して第一のデータ入出力線SIO-1および第二のデータ入出力線SIO-2にそれぞれ接続される。

【0129】データ制御回路160は、その入力部が第一のデータ入出力線SIO-1を介して第一のスイッチ回路397-1に接続される第一のデータラッチ回路396と、その入力部が第二のデータ入出力線SIO-2を介して第二のスイッチ回路397-2に接続される第二のデータラッチ回路395と、これら第一のデータラッチ回路396および第二のデータラッチ回路395の

出力部に接続されたデータアウトバッファ152とから構成される。

【0130】以下、図55に示す構成例の動作について、バースト長が4の場合を例として、図56を参照しながら説明する。クロック信号CLKの立ち上がりのエッジでリードコマンドが実行されると、第一の列アドレスバッファ392は、外部から与えられたSRAM列アドレス信号iASCに基づき、先頭のアドレスA0に対応する第一のSRAM列アドレス信号iASC-1を出力する。この第一のSRAM列アドレス信号iASC-1を入力する第一の列デコーダ390は、第一のSRAM列アドレス信号iASC-1が出力されてから約半クロック後に、第一のSRAM列デコーダ出力信号SSL-1を出力する。これを受けて第一のスイッチ回路397-1が導通し、アドレスA0に対応するデータバッファ394からデータ入出力線SIO-1にデータD0が出力される。このデータD0は、第一のデータラッチ回路395にラッチされ、データアウトバッファ152によりデータDQとして送出される。

【0131】次に、アドレスA0に対応する第一のSRAM列アドレス信号iASC-1が出力されてから1クロック周期後に、第二の列アドレスバッファ393は、第一の列アドレスバッファ392を介して転送されたSRAM列アドレス信号iASCに基づき、アドレスA0の次のアドレスA1に対応する第二のSRAM列アドレス信号iASC-2を出力する。この第二のSRAM列アドレス信号iASC-2を入力する第二の列デコーダ391は、第二のSRAM列アドレス信号iASC-2が出力されてから約半クロック後に、第二のSRAM列デコーダ出力信号SSL-2を出力する。これを受けて、第二のスイッチ回路397-2が導通し、アドレスA1に対応するデータバッファ394からデータ入出力線SIO-2にデータD1が現れる。このデータD1は、第二のデータラッチ回路396にラッチされる。このとき、データアウトバッファ152は、入力対象を第一のデータラッチ回路395から第二のデータラッチ回路396に切り換え、この第二のデータラッチ回路396にラッチされたデータD1をデータDQとして送出する。

【0132】次に、アドレスA1に対応する第二のSRAM列アドレス信号iASC-2が出力されてから1クロック周期後に、第一の列アドレスバッファ392は、アドレスA1の次のアドレスA2を示すものとして第一のSRAM列アドレス信号iASC-1を出力する。この第一のSRAM列アドレス信号iASC-1を入力する第一の列デコーダ390は、第一のSRAM列アドレス信号iASC-1が出力されてから約半クロック後に、第一のSRAM列デコーダ出力信号SSL-1を出力する。これを受けて、第一のスイッチ回路397-1が導通し、アドレスA2に対応するデータバッファ39

4からデータ入出力線SIO-1にデータD2が現れる。このデータD2は、第一のデータラッチ回路395にラッチされる。このとき、データアウトバッファ152は、入力対象を第二のデータラッチ回路396から第一のデータラッチ回路395に切り換え、この第一のデータラッチ回路395にラッチされたデータD2をデータDQとして送出する。

【0133】次に、アドレスA2に対応する第一のSRAM列アドレス信号iASC-1が出力されてから1クロック周期後に、第二の列アドレスバッファ393は、
10 アドレスA2の次のアドレスA3を示すものとして第二のSRAM列アドレス信号iASC-2を出力する。この第二のSRAM列アドレス信号iASC-2を入力する第二の列デコーダ391は、第二のSRAM列アドレス信号iASC-2が出力されてから約半クロック後に、第二のSRAM列デコーダ出力信号SSL-2を出力する。これを受けて、第二のスイッチ回路397-2が導通し、アドレスA3に対応するデータバッファ394からデータ入出力線SIO-2にデータD3が現れる。このデータD3は、第二のデータラッチ回路396
20 にラッチされる。このとき、データアウトバッファ152は、入力対象を第一のデータラッチ回路395から第二のデータラッチ回路396に切り換え、この第二のデータラッチ回路396にラッチされたデータD3をデータDQとして送出する。

【0134】以上のように、第一の列アドレスバッファ392、第一の列デコーダ390、第一のスイッチ回路397-1、および第一のデータラッチ回路395からなる回路系と、第二の列アドレスバッファ393、第二の列デコーダ391、第二のスイッチ回路397-2、
30 および第二のデータラッチ回路396からなる回路系とが交互に動作し、アドレスA0を起点として連続した4つのアドレスが1クロック周期毎にSRAMアレイに対して順次指定され、データD0~D3が1クロック毎に順次出力される。

【0135】ここで、各回路系に着目すると、各データDQに対して、データアウトバッファ152を除く他の内部回路は、2クロック周期を単位として読み出し動作を行っている。したがって、内部での動作周波数が緩和され、各回路の動作周波数を上昇させることなく、要求されたサイクルタイムでデータ入出力端子DQからデータが高速に読み出される。上記構成を使用することにより、内部の動作サイクルを上げることなく、連続データ出力や連続データ書き込みのサイクルの高速化を行うことが可能である。DOUBLE DATA RATE (DDR) のシンクロナスDRAMにおいても、この構成を用いることで高速化が可能である。特に、バースト動作毎にバースト長、ラップタイプを変更する高周波同期型のマルチタスクDRAMにおいて有効となる。なお、この例では、1クロック周期でデータを出力し、内
50

部動作を2クロック周期で行わせるものとしたが、これに限定されることなく、設計仕様に応じてクロック数を適切に設定すればよい。

【0136】「SRAM列デコーダとデータ制御回路の他の構成例」図57に、SRAM列デコーダ123とデータ制御回路160の他の構成例を示す。上述のSRAM列デコーダとデータ制御回路の構成例では、列の選択に関して、複数系統の読み出し手段を備えるものとしたが、この例では、上述の図55に示す構成に対し、行デコーダとして第1の副記憶部行デコーダ3900と第二の副記憶部行デコーダ3910をさらに備え、列および行に関して複数系統の読み出し手段を備える。

【0137】図57において、SRAMアレイ1200は、後述の図59に示すメモリセル3940をデータバッファとしてマトリックス状に配列して構成される。各メモリセル3940は、第一の列デコーダ390からの第一の列選択信号と、第一の副記憶部行デコーダ3900からの第一のリードライト用行選択信号とにより選択されて、第一のデータ入出力線SIO-11に接続され、また、第二の列デコーダ391からの第二の列選択信号と、第二の副記憶部行デコーダ3910からの第二のリードライト用行選択信号とにより選択されて、第二のデータ入出力線SIO-12に接続される。第一のデータ入出力線SIO-11および第二のデータ入出力線SIO-12は、スイッチ回路SWを介してグローバルデータ入出力線GIO-11、GIO-12にそれぞれ接続される。

【0138】グローバルデータ入出力線GIO-11、GIO-12には、リードライトアンプ15301、15302がそれぞれ接続される。これらリードライトアンプ15301、15302は、データバス15301D、15302Dを介してデータラッチ回路395、396に接続され、これらの後段にはデータ入出力回路152が設けられる。

【0139】ここで、図59にメモリセル3940の具体的な構成を示す。この図に示すように、メモリセル3940は、ソースにSRAMセルコントロール信号SANが接続されたN型トランジスタN2000、N2001と、ソースにSRAMセルコントロール信号SAPが接続されたP型トランジスタP2000、P2001とからなるフリップフロップを主体として構成される。このフリップフロップの1対の記憶ノードは、データ転送用SRAM行選択信号により導通制御されるN型トランジスタN2002、N2003を介してデータ転送バス線TBLに接続され、このデータ転送バス線TBLを介してDRAM部に接続される。

【0140】このメモリセルをなすフリップフロップの1対の記憶ノードは、第一のリードライト用行選択信号により導通制御されるN型トランジスタN2004、N2005と、ゲートに第一の列選択信号により導通制御

されるN型トランジスタN2006、N2007とを介してデータ入出力線SIO-11に接続される。また、このフリップフロップの1対の記憶ノードは、第二のリードライト用行選択信号により導通制御されるN型トランジスタN2008、N2009と、ゲートに第二の列選択信号により導通制御されるN型トランジスタN2010、N2011とを介してデータ入出力線SIO-12に接続される。データ転送バス線TBLに接続されるN型トランジスタN2002、N2003のゲートには、データ転送用SRAM行選択信号が与えられ、この信号によりSRAMセルのフリップフロップとデータ転送バス線TBLと間の接続が制御される。

【0141】このメモリセルの構成によれば、第一のリードライト用行選択信号と第一の列選択信号とが共に活性化された場合、メモリセルは、データ入出力線SIO-11に電気的に接続される。また、第二のリードライト用行選択信号と第二の列選択信号とが共に活性化された場合、メモリセルは、データ入出力線SIO-12に電気的に接続される。つまり、上述の一個のメモリセルは、2系統のリードライト用行選択信号と列選択信号とにより、データ入出力線SIO-11、SIO-12に対して独立に接続可能なように構成されている。従って、図57に示す第一の列デコーダおよび第一の副記憶部行デコーダと、第二の列デコーダおよび第二の副記憶部行デコーダとにより、別々にSRAMアレイ1200の各メモリセルが選択される。

【0142】ここで、第一の列デコーダおよび第一の副記憶部行デコーダに入力される内部アドレス信号iASC-11と、第二の列デコーダおよび第二の副記憶部行デコーダに入力される内部アドレス信号iASC-12とを生成する回路の構成例を説明する。図60に、これら内部アドレス信号を生成する回路系を示す。同図において、内部クロック信号生成回路90000は、外部クロック信号CLKに基づき、所定のパルス幅を有する内部クロック信号ICLK1、ICLK2を交互に発生するように構成される。レシーバ回路90001~90005は、外部から入力されるアドレス信号Aiや各種の制御信号CSB、RASB、CASB、WEBを受けるためのものである。

【0143】コマンドデコード回路90010は、各種の制御信号の論理の組み合わせをデコードして、内部クロック生成回路90000からの内部クロック信号ICLK1、ICLK2に基づき、第一の副記憶部外部アドレスラッチ信号LAT-G1、第一の副記憶部次アドレスラッチ信号LAT-N1、第二の副記憶部外部アドレスラッチ信号LAT-G2、第二の副記憶部次アドレスラッチ信号LAT-N2を生成する。ここで、第一の副記憶部外部アドレスラッチ信号LAT-G1、第一の副記憶部次アドレスラッチ信号LAT-N1は、内部クロック信号ICLK1に基づき生成され、第二の副記憶部

外部アドレスラッチ信号LAT-G2、第二の副記憶部次アドレスラッチ信号LAT-N2は、内部クロック信号ICLK2に基づき生成される。また、第一および第二の副記憶部外部アドレスラッチ信号は、リードコマンドおよび外部アドレスを取り込むときの外部クロック信号の立ち上がりエッジで発生され、第一および第二の副記憶部次アドレスラッチ信号は、それ以外のときの外部クロック信号の立ち上がりエッジで発生される。

【0144】第1のアドレスバッファ90020は、コマンドデコード回路90010の制御の下に、内部クロック信号ICLK1に基づきアドレス信号Aiに応じた内部アドレス信号iASC-11を生成するものである。第2のアドレスバッファ90021は、コマンドデコード回路90010の制御の下に、内部クロック信号ICLK2に基づきアドレス信号Aiに応じた内部アドレス信号iASC-12を生成するものである。

【0145】次アドレス信号生成回路90022は、第1のアドレスバッファ90020が生成した内部アドレス信号iASC-11の次のアドレス信号を生成して第2のアドレスバッファ90021に与えるものである。次アドレス信号生成回路90023は、第2のアドレスバッファ90021が生成した内部アドレス信号iASC-12の次のアドレス信号を生成して第1のアドレスバッファ90020に与えるものである。

【0146】図61に内部クロック信号生成回路90000の構成例を示す。レシーバ回路90100は、外部クロック信号CLKを受けるためのものである。トランジションディテクタ90101は、レシーバ回路90100の出力信号(CLK)の立ち上がりのエッジを検出するものである。トランジションディテクタ90102、90103は、後述するフリップフロップ90106A、90106Bに保持された信号状態に応じて、レシーバ回路90100の出力信号(CLK)の立ち上がりのエッジを検出して内部クロック信号ICLK1、ICLK2をそれぞれ出力するものである。

【0147】フリップフロップ90104は、NOR回路90104A、90104Bによりいわゆるリセット・セット型のフリップフロップとして構成され、上述のトランジションディテクタ90102、90103の出力パルスに基づき内部状態が決定されるように構成される。スイッチゲート回路90105Aおよび90105Bは、NOR回路90104Aおよび90104Bの出力部に設けられ、上述のトランジションディテクタ90101の出力パルスに基づき導通制御されるものである。フリップフロップ90106Aおよび90106Bは、スイッチゲート回路90105Aおよび90105Bを介して、それぞれNOR回路90104Aおよび90104Bの出力部に接続される。

【0148】この内部クロック信号生成回路90000によれば、フリップフロップ90104に内部状態に

10

20

30

40

50

じて、トランジションディテクタ90102または90103の一方が動作する。すなわち、外部クロック信号CLKが、定常状態であれば、内部クロック信号ICLK、ICLK1、ICLK2はいずれも“0”であり、スイッチゲート回路90105A、90105Bは共に導通状態とされる。したがって、フリップフロップ90104から一方のトランジションディテクタに“1”が与えられ、他方に“0”が与えられる。

【0149】ここで、フリップフロップ90104のNOR回路90104Aからトランジションディテクタ90102に“1”が与えられ、NOR回路90104Bからトランジションディテクタ90103に“0”が与えられているとする。このとき、外部クロック信号CLKが立ち上がると、トランジションディテクタ90102は内部クロック信号ICLK1としてパルス信号を出力するが、トランジションディテクタ90103は内部クロック信号ICLK2として“0”を維持する。この結果、フリップフロップの状態は反転して、トランジションディテクタ90102に“0”が与えられ、トランジションディテクタ90103に“1”が与えられる。

【0150】この状態で、外部クロック信号CLKが立ち上がると、今度はトランジションディテクタ90103が内部クロック信号ICLK2としてパルス信号を出力するが、トランジションディテクタ90102は内部クロック信号ICLK1として“0”を維持する。このようにして、後述する図62に示すように、外部クロック信号CLKの立ち上がりのエッジで、内部クロック信号ICLK1とICLK2とが交互にパルス信号として出力される。

【0151】なお、スイッチゲート回路90105A、90105Bは、内部クロック信号ICLK1、ICLK2のパルス信号が発生してフリップフロップ90104の状態が反転することにより、この内部クロック信号ICLK1、ICLK2の発生が阻害されないようにするためのものである。すなわち、パルス信号の発生中はスイッチゲート回路90105A、90105Bが非導通状態に制御され、それまでのフリップフロップ90104の状態がフリップフロップ90106A、90106Bにより維持される。これにより、トランジションディテクタ90102および90103は、パルス発生中にフリップフロップ90104の状態が反転しても正規のパルス幅を有するパルス信号を出力することができる。

【0152】以下、図62に示す波形図を参照しながら、この構成例の動作を説明する。なお、図62において、アドレスA(A1~A3)は、行アドレス成分および列アドレス成分の両方の成分を含んで構成される。また、各アドレスA1~Aは、列アドレス成分のみについて異なる値(行アドレス成分については同じ値)を有するものとし、アドレスB(B1~B3)についても同様

とする。ただし、アドレスAとアドレスBは、行アドレス成分について異なる値を有する。

【0153】まず、リードコマンドとアドレスA(図示なし)がセットアップされた状態で、時刻t1において外部クロック信号CLKが立ち上がると、内部クロック信号生成回路90000は、内部クロック信号CLK1としてのパルス信号を出力する。これを受けて、コマンドデコード回路90010は、第1の副記憶部外部アドレスラッチ信号LAT-G1を第1のアドレスバッファ90020に出力する。第1のアドレスバッファ90020は、第1の副記憶部外部アドレスラッチ信号LAT-G1に基づき、レシーバ回路90001を介して外部からアドレス信号Aを取り込み、内部アドレス信号iASC-11としてアドレスA1を出力する。

【0154】第1の副記憶部行デコーダ3900は、アドレスA1の行アドレス成分から、第1のリードライト用行選択信号として行アドレスR1を生成し、第1の列デコーダ3900はアドレスA1の列アドレス成分から、第1の列選択信号として列アドレスC1を生成する。そして、これら選択信号(行アドレスR1および列アドレスC1)により特定されるメモリセルが選択され、そのデータD1がデータ入出力線SIO-11に現れ、データDQとして外部に読み出される。このとき、次アドレス生成回路90022は、第1のアドレスバッファ90020により生成されたアドレスA1をカウンタアップ(インクリ)して次のアドレス信号A2(行アドレス成分についてはアドレスA1と同じ値)を準備する。

【0155】次に、時刻t2において外部クロック信号CLKが立ち上がると、内部クロック信号生成回路90000は、内部クロック信号CLK2としてのパルス信号を出力する。コマンドデコード回路90010は、これを受けて、第2の副記憶部次アドレスラッチ信号LAT-N2を第2のアドレスバッファ90021に出力する。第2のアドレスバッファ90021は、第2の副記憶部次アドレスラッチ信号LAT-N2に基づき、次アドレス信号生成回路90022により準備されたアドレスA2を取り込み、これを内部アドレス信号iASC-12として出力する。第2の副記憶部行デコーダ3910は、内部アドレス信号iASC-12として出力されたアドレスA2に基づき、第2のリードライト用行選択信号としてR10を生成する。ここで、アドレスA1とA2の行アドレス成分は同じ値であるから、行アドレスR10は行アドレスR1と同じ値を有し、従って第2のリードライト用選択信号(R10)により同一の行が選択される。

【0156】一方、第2の列デコーダ391は、内部アドレス信号iASC-12として出力されたアドレスA2の列アドレス成分から、第2の列選択信号として列アドレスC2を生成する。そして、第2のリードライト用

選択信号（行アドレスR10）および第二の列選択信号（列アドレスC2）により特定されるメモリセルが選択され、そのデータD2がデータ入出力線SIO-12に現れ、データDQとして外部に読み出される。次アドレス生成回路90023は、第2のアドレスバッファ90021により生成されたアドレスA2をカウントアップ（インクリ）して次のアドレス信号A3を準備する。

【0157】次に、時刻t3において外部クロック信号CLKが立ち上がると、内部クロック信号生成回路90000は、内部クロック信号CLK1としてのパルス信号を出力する。コマンドデコーダ回路90010は、これを受けて、第一の副記憶部次アドレスラッチ信号LAT-N1を第1のアドレスバッファ90020に出力する。第1のアドレスバッファ90020は、第一の副記憶部次アドレスラッチ信号LAT-N1に基づき、次アドレス信号生成回路90023により準備されたアドレスA3（行アドレス成分についてアドレスA1、A2と同じ値）を取り込み、これを内部アドレス信号iASC-11として出力する。このとき、第一の副記憶部行デコーダ3900および第二の副記憶部行デコーダ3910は、第一のリードライト用行選択信号として行アドレスR1を維持し、第二のリードライト用行選択信号として行アドレスR10を維持する。すなわち、この場合も同一の行が選択される。

【0158】一方、第一の列デコーダ390は、内部アドレス信号iASC-11として出力されたアドレスA3の列アドレス成分から、第一の列選択信号として列アドレスC3を生成する。そして、第一のリードライト用行選択信号（行アドレスR1）および第一の列選択信号（列アドレスC1）により特定されるメモリセルが選択され、そのデータD3がデータ入出力線SIO-11に現れ、データDQとして外部に読み出される。以上により、行アドレスR1（行アドレスR10）により特定される行に属するメモリセルのうち、列アドレスC1～C3により特定される各メモリセルが順次選択されて、そのデータD1～D3が読み出される。

【0159】次に、リードコマンドとアドレスB（図示なし）がセットアップされた状態で、時刻t4において外部クロック信号CLKが立ち上がると、内部クロック信号生成回路90000は、内部クロック信号CLK2としてのパルス信号を出力する。これを受けて、コマンドデコード回路90010は、第2の副記憶部外部アドレスラッチ信号LAT-G2を第2のアドレスバッファ90021に出力する。第2のアドレスバッファ90021は、第2の副記憶部外部アドレスラッチ信号LAT-G2に基づき、レシーバ回路90001を介して外部からアドレス信号Bを取り込み、内部アドレス信号iASC-12としてアドレスB1を出力する。第二の副記憶部行デコーダ3910は、アドレスB1の行アドレス成分から第二のリードライト用行選択信号として行アド

レスR20を生成し、第二の列デコーダ391はアドレスB1の列アドレス成分から第二の列選択信号として列アドレスC10を生成する。

【0160】そして、これら選択信号（行アドレスR20および列アドレスC10）により特定されるメモリセルが選択され、そのデータD10がデータ入出力線SIO-12に現れ、データDQとして外部に読み出される。次アドレス生成回路90023は、第2のアドレスバッファ90021により生成されたアドレスB1をカウントアップ（インクリ）して次のアドレス信号B2（行アドレス成分についてはアドレスB1と同じ値）を準備する。

【0161】次に、時刻t5において外部クロック信号CLKが立ち上がると、内部クロック信号生成回路90000は、内部クロック信号CLK1としてのパルス信号を出力する。コマンドデコーダ回路90010は、これを受けて、第一の副記憶部次アドレスラッチ信号LAT-N1を第1のアドレスバッファ90020に出力する。第1のアドレスバッファ90020は、第1の副記憶部次アドレスラッチ信号LAT-N1に基づき、次アドレス信号生成回路90023により準備されたアドレスB2を取り込み、これを内部アドレス信号iASC-11として出力する。第一の副記憶部行デコーダ3900は、アドレスB2に基づき、第一のリードライト用行選択信号として行アドレスR2を生成する。ここで、アドレスB1とB2の行アドレス成分は同じ値であるから、行アドレスR1は行アドレスR10と同じ値を有する。

【0162】一方、第一の列デコーダ390は、内部アドレス信号iASC-11として出力されたアドレスB2の列アドレス成分から、第一の列選択信号として列アドレスC20を生成する。そして、これら第一のリードライト用行選択信号（行アドレス信号R2）および第一の列選択信号（列アドレスC20）により特定されるメモリセルが選択され、そのデータD20がデータ入出力線SIO-11に現れ、データDQとして外部に読み出される。次アドレス生成回路90022は、第1のアドレスバッファ90020により生成されたアドレスB2をカウントアップ（インクリ）して次のアドレス信号B3を準備する。以下、同様に、第一のアドレスバッファ90020および第二のアドレスバッファ90021により交互に連続した内部アドレス信号が生成され、この信号に基づきSRAMアレイ1200のメモリセルが順次選択されて、データの読み出しが行われる。

【0163】この例によれば、図62に示すように、データDQは1クロック周期で出力されるのに対して、列アドレスは2クロック周期で切り替わり、従って内部回路の動作周期が緩和される。しかも、2系統の副記憶部行デコーダを備えるので、行アドレスが切り替えられても、2クロック周期で内部回路を動作させて1クロック

周期でデータを順次出力することができる。なお、上述の各例では、2クロック周期で内部回路を動作させて、1クロック周期でデータを順次出力するものとしたが、これに限定されることなく、各動作のクロック数やクロック周期等については、設計仕様等に応じて適切に設定すればよい。

【0164】「SRAM部とデータ入出力端子間の構成の他の例」図63に、×8ビット構成の場合のSRAM部とデータ入出力端子間の構成の他の例を示す。SRAMからのデータ出力の場合、まず選択された行および列で特定されるSRAMセルのデータはデータ入出力線SIOへと出力される。選択された行のデータ入出力線SIOとグローバルデータ入出力線GIOとが接続され、選択されたSRAMセルのデータがデータアンプ153へと送られる。その後、データはリードライトバス線RWLを通り、データラッチ回路151およびデータバッファ152を介してデータ入出力端子DQへと出力される。もちろん、×8構成なので8組のデータ入出力回路が同時に動作し8個のデータが出力される。SRAMセルへの書き込み時も同様の経路をたどって書き込まれる。

【0165】このデータ入出力線SIOとグローバルデータ入出力線GIOを用いた回路の構成とすることで、SRAMセルごとのSRAM行選択が不要となり、SRAM行選択信号にかかる負荷が軽減され、SRAMセルのデータ入出力を高速で動作させることが可能となる。さらに、本構成とすることによりSRAMセルの行数を増した場合にも、データ入出力線SIOの負荷が増大することはなく、高速動作に支障をきたすことはない。

【0166】

【発明の効果】以上説明したように、この発明によれば、外部クロック信号に同期して、外部アドレスを起点として連続する内部アドレスをメモリセルアレイに対して交互に指定し、前記内部アドレスで特定されるメモリセルアレイ内のメモリセルからデータを交互に伝達して外部に出力するようにしたので、個々の内部回路の動作周波数を上昇させることなくデータの読み出し速度を改善することができ、しかも個々の内部回路の動作周波数を緩和させることができる。

【図面の簡単な説明】

【図1】 この発明の1実施例に係る半導体記憶装置の全体の構成を示すブロック図である。

【図2】 図1に示す半導体記憶装置と、その半導体記憶装置に対しアクセス要求を行うメモリマスタを複数個持つメモリシステムのブロック図である。

【図3】 図1に示す半導体記憶装置と、その半導体記憶装置に対しアクセス要求を行うメモリマスタを複数個持つメモリシステムのブロック図である。

【図4】 図1に示す半導体記憶装置の外部端子の配置図である。

【図5】 図1に示す半導体記憶装置における動作機能を決定する各種コマンドと外部端子の状態の対応の図である。

【図6】 図5のリードコマンドを示す外部端子の状態の図である。

【図7】 図5のライトコマンドを示す外部端子の状態の図である。

【図8】 図5のプリフェッチコマンドを示す外部端子の状態の図である。

【図9】 図5のオートプリチャージを伴うプリフェッチコマンドを示す外部端子の状態の図である。

【図10】 図5のリストアコマンドを示す外部端子の状態の図である。

【図11】 図5のオートプリチャージを伴うリストアコマンドを示す外部端子の状態の図である。

【図12】 図5のアクティブコマンドを示す外部端子の状態の図である。

【図13】 図5のプリチャージコマンドを示す外部端子の状態の図である。

【図14】 図5の全バンクプリチャージコマンドを示す外部端子の状態の図である。

【図15】 図5のCBRリフレッシュコマンドを示す外部端子の状態の図である。

【図16】 図5のデバイス非選択コマンドを示す外部端子の状態の図である。

【図17】 図5の未操作コマンドを示す外部端子の状態の図である。

【図18】 図5のレジスタ設定コマンド(1)を示す外部端子の状態の図である。

【図19】 図5のレジスタ設定コマンド(2)を示す外部端子の状態の図である。

【図20】 図5のレジスタ設定コマンドを示す外部端子の状態の詳細な図である。

【図21】 図5のレジスタ設定コマンドの一部であるモードレジスタ設定コマンドを示す外部端子の状態の詳細な図である。

【図22】 データ入出力様式の各ラップタイプとバースト長に対応したアクセスを受けるアドレスの順序の図である。

【図23】 リードコマンド入力時でバースト長4、リードレイテンシ2のデータ出力タイミングの図である。

【図24】 リードコマンドの動作時におけるアドレス指定とデータの流れを示す図である。

【図25】 ライトコマンドの動作時におけるアドレス指定とデータの流れを示す図である。

【図26】 プリフェッチコマンドの動作時におけるアドレス指定とデータの流れを示す図である。

【図27】 リストアコマンドの動作時におけるアドレス指定とデータの流れを示す図である。

【図28】 アクティブコマンドの動作時におけるアド

レス指定とデータの流れを示す図である。

【図29】 この発明の一実施例による半導体記憶装置のアレイ配置を概略的に示すアレイレイアウト図である。

【図30】 この発明の一実施例による半導体記憶装置のチップ全体レイアウトを概略的に示す図である。

【図31】 この発明の一実施例による半導体記憶装置の共通電源を使用するブロックを概略的に示す図である。

【図32】 図1に示す半導体記憶装置の動作制御回路のブロック図である。

【図33】 図1に示すDRAM部とデータ転送回路の具体的な構成を示す図である。

【図34】 図30に示す本発明の一実施例である全体レイアウトの中のDRAMアレイ110-1の具体的なアレイ構成の一例を示す図である。

【図35】 図34のレイアウトの一部分（ビット線4対分）について、転送バス線とビット線の接続関係を詳細に示す一例の図である。

【図36】 データ転送回路の詳細な回路例を示す回路図である。

【図37】 図35で示す例での問題点を解決する一例の構成を示す図である。

【図38】 DRAM行制御回路の一例を示すブロック図である。

【図39】 図33に示すDRAM列制御回路とDRAM列デコーダの具体的な構成の一例を示す図である。

【図40】 DRAMビット線選択回路の具体的な回路構成の一例を示す図である。

【図41】 DRAMビット線選択回路の具体的な回路構成の一例を示す図である。

【図42】 DRAMビット線選択回路の具体的な回路構成の一例を示す図である。

【図43】 DRAMビット線選択回路の具体的な回路構成の一例を示す図である。

【図44】 図29に示すアレイレイアウトにおける1対のデータ転送バス線と、DRAMビット線選択回路とSRAMセルとの関係を示す構成図である。

【図45】 図44における各データ転送バス線の動作例を示す信号波形図である。

【図46】 図1に示すSRAM部とデータ入出力端子間の具体的な構成の一例を示す図である。

【図47】 SRAMメモリセルの構成の一例を示す図である。

【図48】 図47に示すSRAMビット線と接続するための接続回路の具体的な回路例を示す図である。

【図49】 図47に示すSRAMビット線と接続するための接続回路の具体的な回路例を示す図である。

【図50】 図47に示すSRAMビット線と接続するための接続回路の具体的な回路例を示す図である。

【図51】 図46に示したSRAM行制御回路の具体的な回路構成の一例を示す図である。

【図52】 図46に示したSRAM列制御回路の具体的な回路構成の一例を示す図である。

【図53】 図52に示したマルチプレクサとラッチ回路の具体的な回路の一例を示す図である。

【図54】 図53に示したマルチプレクサの内部の動作の一例を示す信号波形図である。

【図55】 図1に示したSRAM列デコーダとデータ制御回路とSRAMアレイの回路構成の一例を示すブロック図である。

【図56】 図55に示したSRAM列デコーダとデータ制御回路とSRAMアレイの内部の動作の一例を示す信号波形図である。

【図57】 図1に示したSRAM列デコーダとデータ制御回路とSRAMアレイの回路構成の他の例を示すブロック図である。

【図58】 図57に示すSRAM列デコーダとデータ制御回路とSRAMアレイの回路構成の詳細を示す図である。

【図59】 図57および図58に示すメモリセルの具体的な構成例を示す図である。

【図60】 図57に示す構成例に適用される内部アドレス信号生成回路系の構成例を示す図である。

【図61】 図60に示す内部クロック信号生成回路の構成例を示す図である。

【図62】 図57に示すSRAM列デコーダとデータ制御回路とSRAMアレイの回路構成の他の構成例の動作を説明するための波形図である。

【図63】 SRAM部とデータ入出力端子間の具体的な構成の一例を示す図である。

【図64】 従来技術にかかる半導体集積回路装置の構成例（読み出しに関連する回路要素）を示す図である。

【図65】 図64に示す従来技術にかかる半導体集積回路装置の動作を説明するための波形図である。

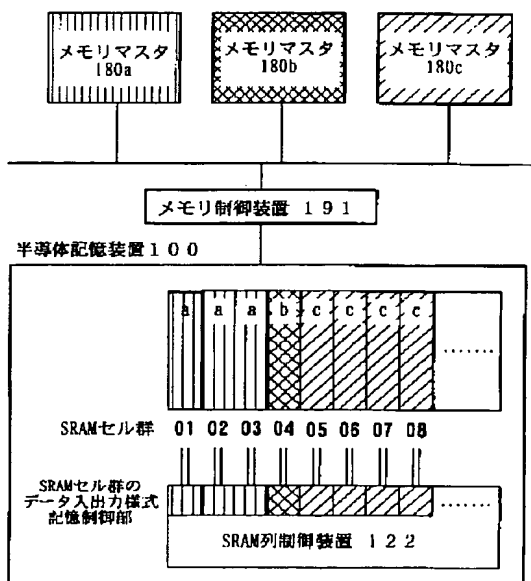
【符号の説明】

100；本発明の半導体記憶装置
101；DRAM部
102；SRAM部
103；双方向データ転送回路
110；DRAMアレイ
111；DRAMメモリセル
112；センスアンプ
113；DRAM行デコーダ
114；DRAM列デコーダ
115；DRAM行制御回路
116；DRAM列制御回路
120, 1200；SRAMアレイ
121；SRAM行デコーダ
122；SRAM列制御回路

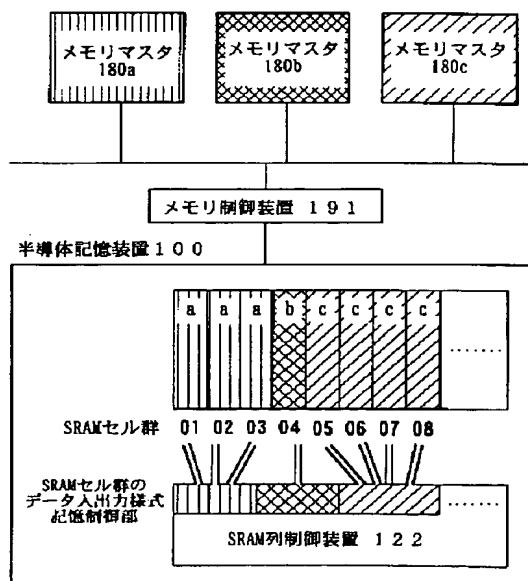
123; SRAM列デコーダ
 124; SRAM行制御回路
 150; 動作制御回路
 152; データアウトバッファ
 160; データ制御回路
 390; 第一のSRAM列デコーダ
 391; 第二のSRAM列デコーダ
 392; 第一の列アドレスバッファ
 393; 第二の列アドレスバッファ
 394; データバッファ (SRAMセル)
 395; 第一のデータラッチ回路
 396; 第二のデータラッチ回路
 397-1; 第一のスイッチ回路
 397-2; 第二のスイッチ回路
 15301, 15302; リードライトアンプ
 3900; 第一の副記憶部行デコーダ
 3910; 第二の副記憶部行デコーダ
 3940; メモリセル
 90000; 内部クロック信号生成回路
 90001~90005, 90100; レシーバ回路
 90010; コマンドデコーダ回路
 90020; 第1のアドレスバッファ
 90021; 第2のアドレスバッファ
 90022, 90023; 次アドレス信号生成回路
 90101~90103; トランジションディテクタ

90104, 90106A, 90106B; フリップフロップ
 90105A, 90105B; スイッチゲート回路
 CLK; 外部クロック信号
 iCLK; 内部クロック信号
 ICLK1, ICLK2; 内部クロック信号
 iA0~iA13; 内部アドレス信号
 iADR0~iADR12; DRAM内部行アドレス信号
 10 iAD13; バンク選択信号
 iADC5~iADC6; DRAM列アドレス信号
 iASR0~iASR3; SRAM内部行アドレス信号
 iASC4~iASC10; 内部SRAM列アドレス信号
 iASC; SRAM列アドレス信号
 iASC-1; 第一のSRAM列アドレス信号
 iASC-2; 第二のSRAM列アドレス信号
 LAT-G1; 第1の副記憶部外部アドレスラッチ信号
 LAT-G2; 第2の副記憶部外部アドレスラッチ信号
 20 LAT-N1; 第1の副記憶部次アドレスラッチ信号
 LAT-N2; 第2の副記憶部次アドレスラッチ信号
 SSL-1; 第一の列デコーダ出力信号
 SSL-2; 第二の列デコーダ出力信号
 SIO-1; 第一のデータ入出力線
 SIO-2; 第二のデータ入出力線

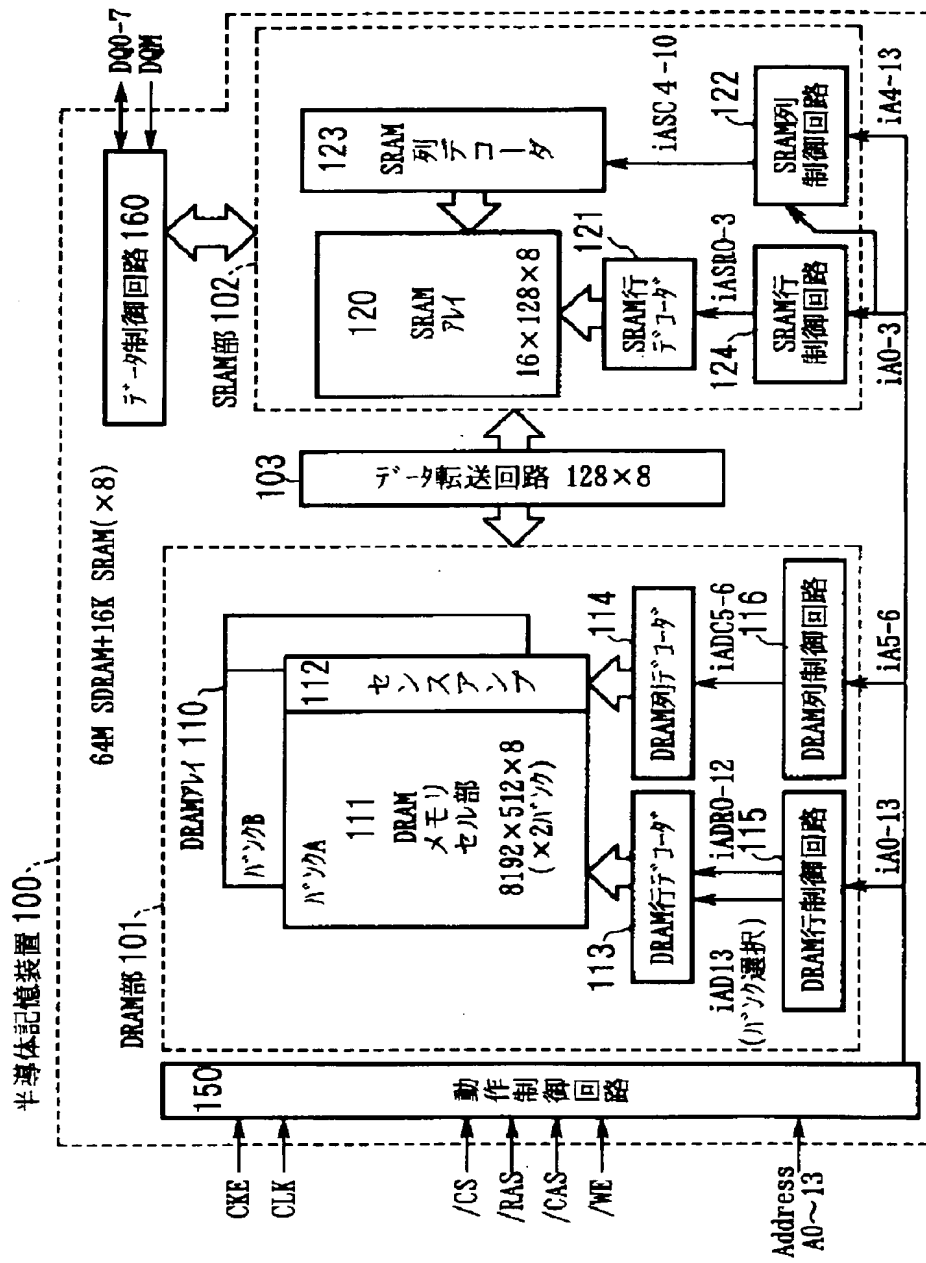
【図2】



【図3】



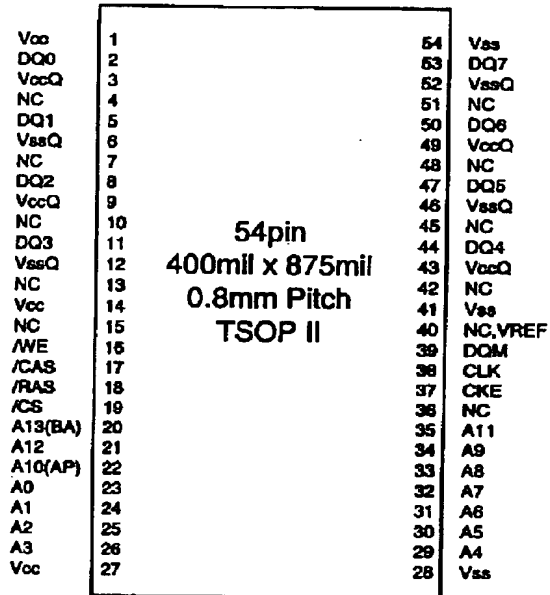
【図1】



【図4】

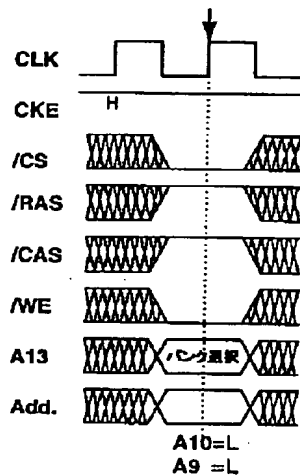
ピン配置図

64M SDRAM+16K SRAM (×8)

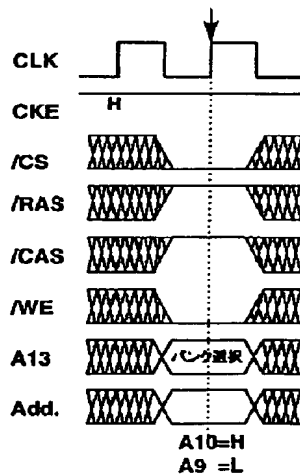


【図8】

「プリフェッチコマンド」「プリフェッチ(オートプリチャージ)コマンド」

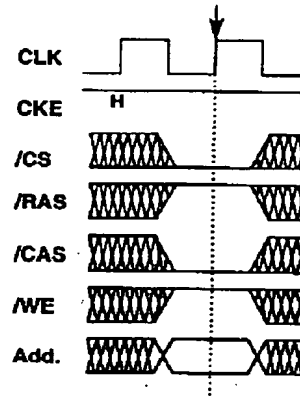


【図9】



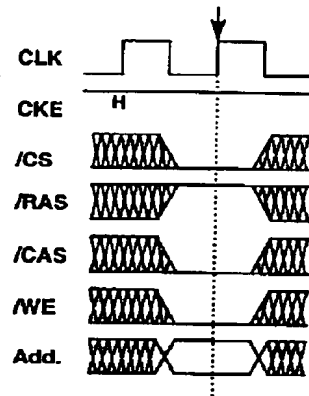
【図6】

「リードコマンド」



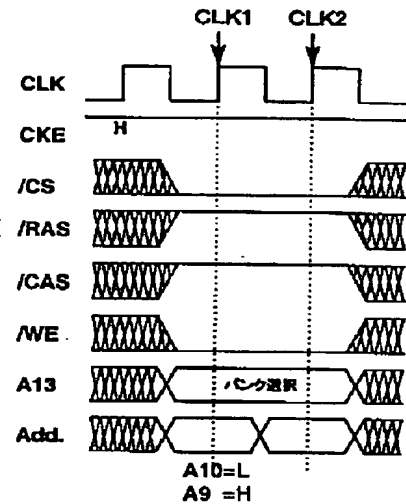
【図7】

「ライトコマンド」



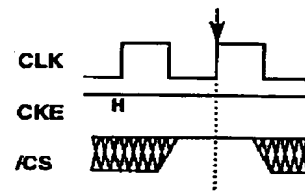
【図10】

「リストアコマンド」



【図17】

「デバイス非選択コマンド」



【図 5】

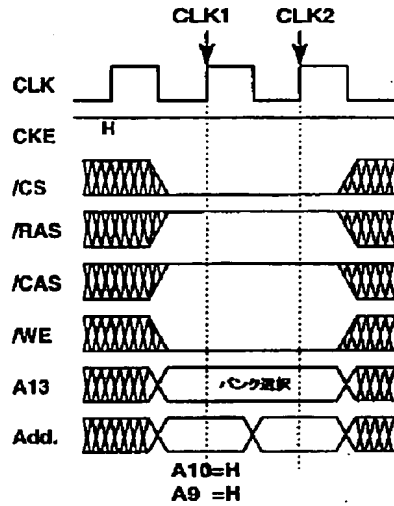
フットと各入力端子状態の対応表

フット	CKE		/CS	/RAS	/CAS	/WE	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	n-1	n																		
リード	H	x	L	H	L	H	x	x	x											
ライト	H	x	L	H	L	L	x	x	x											
フリップエッジ	H	x	L	H	H	L	バンク選択	x	x	L	L	x	x	DRAM列選択	x					
フリップエッジ (オートプリチャージ)	H	x	L	H	H	L	バンク選択	x	x	H	L	x	x	DRAM列選択	x					
リストア	H	x	L	H	H	L	バンク選択	x	x	L	H	x	x	DRAM列選択	x					
リストア (オートプリチャージ)	H	x	L	H	H	L	バンク選択	x	x	H	H	x	x	DRAM列選択	x					
アクティブ	H	x	L	L	H	H	バンク選択	x	x	H	H	x	x	DRAM列選択	x					
プリチャージ	H	x	L	L	H	L	バンク選択	x	x	L	L	x	x	x	x	x	x	x	x	x
全バンクプリチャージ	H	x	L	L	H	L	バンク選択	x	x	H	x	x	x	x	x	x	x	x	x	x
CBBプリセッション	H	x	L	L	L	H	x	x	x	x	x	x	x	x	x	x	x	x	x	x
未操作	H	x	L	H	H	H	x	x	x	x	x	x	x	x	x	x	x	x	x	x
デバンス非選択	H	x	H	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
ビット設定 (1)	H	x	L	L	L	L														
ビット設定 (2)	H	x	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
ビット設定																				
ビット設定													ビット設定							
ビット設定													ビット設定							

H: High level L: Low level x: High or Low(Don't care)

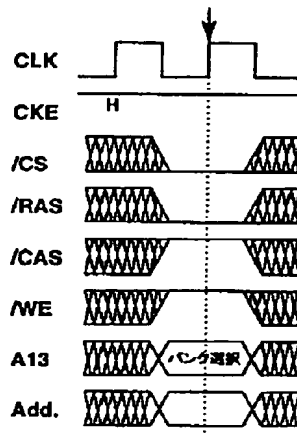
【図11】

「リストア(オートプリチャージ)コマンド」



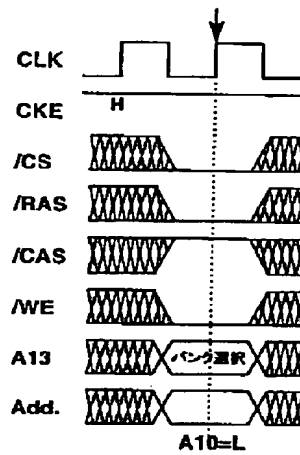
【図12】

「アクティブコマンド」



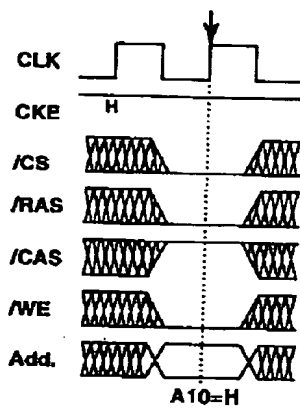
【図13】

「プリチャージコマンド」



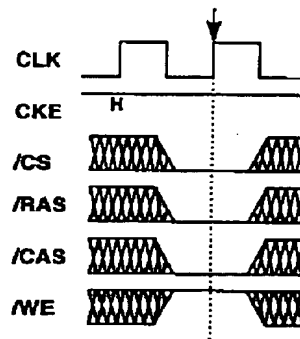
【図14】

「全バンクプリチャージコマンド」



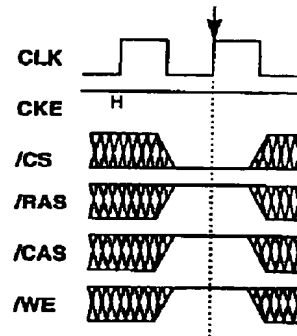
【図15】

「CBRリフレッシュコマンド」



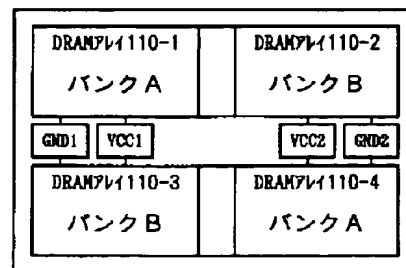
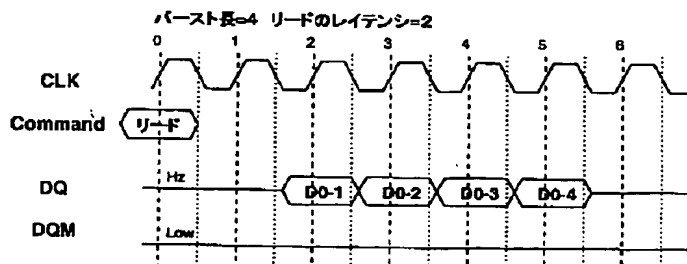
【図16】

「未操作コマンド」



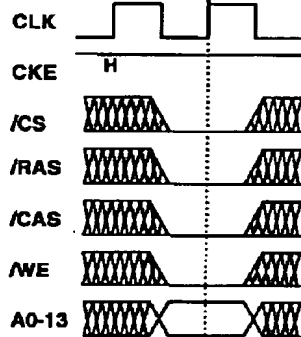
【図31】

【図22】



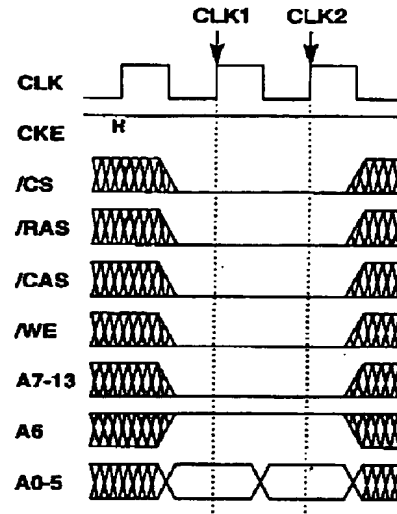
【図18】

- (1) 「レジスタ設定コマンド」(a)、(b)、(c)
及び
(d)の
「モードレジスタ設定(1)コマンド」



【図19】

- (2) 「レジスタ設定コマンド」(d)の
「モードレジスタ設定(2)コマンド」



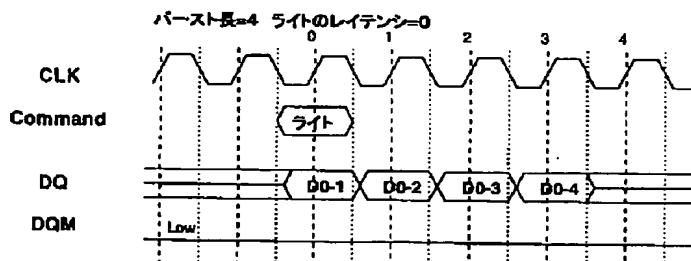
【図20】

レジスタ設定

	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
(a)	L	L	L	L	L	L	H	x	x	x	x	x	x	x	リフレッシュカウンタテストセット (標準テストセット)
(b)						H	L								未使用のテストセット
(c)	x	x	x	x	x	H	H	V	V	V	V	V	V	V	デバイステストセット
(d)	L	L	L	L	L	L	L	V	V	V	V	V	V	V	モードレジスタ設定コマンド

H: High level L: Low level
x: 無効データ(Don't care) V: 有効データ入力

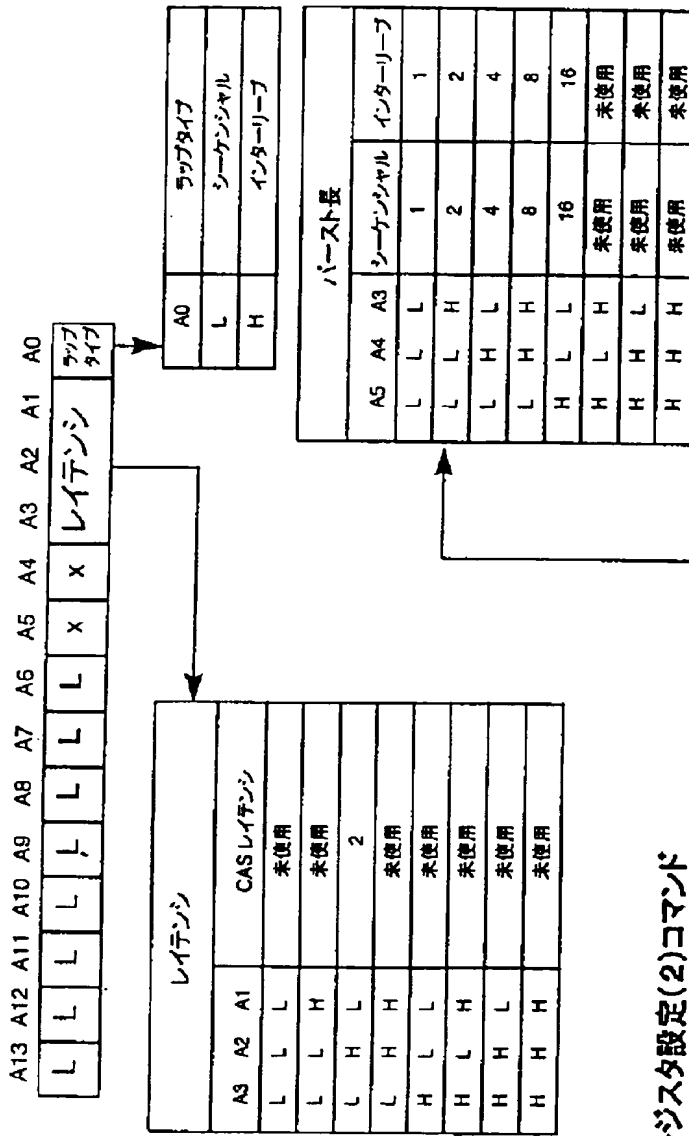
【図23】



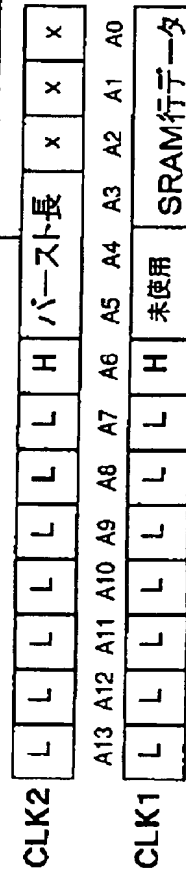
【図21】

モードレジスタ設定コマンド

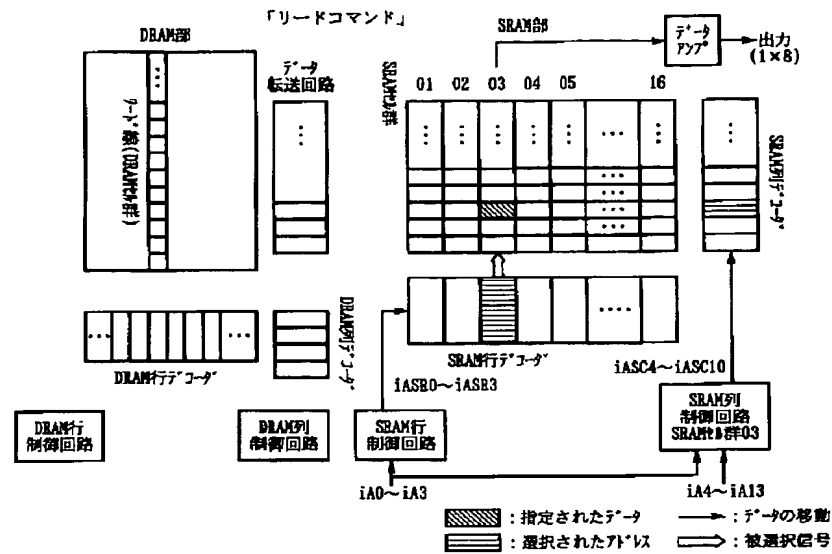
モードレジスタ設定(1)コマンド



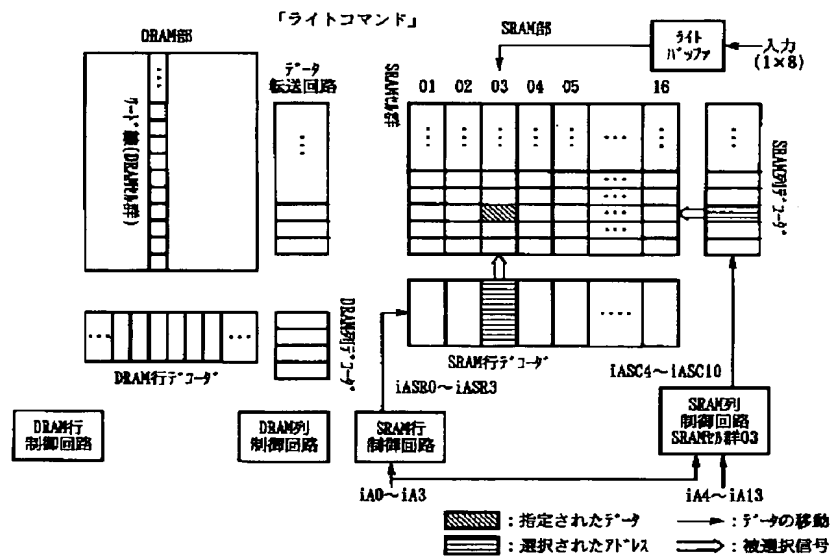
モードレジスタ設定(2)コマンド



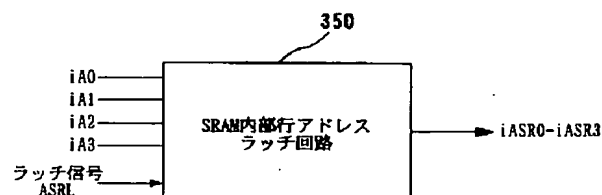
【図24】



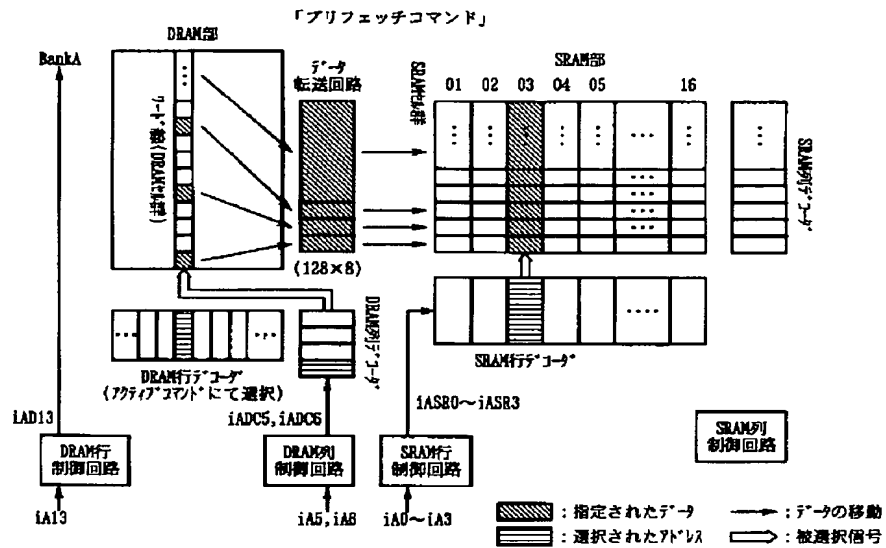
【図25】



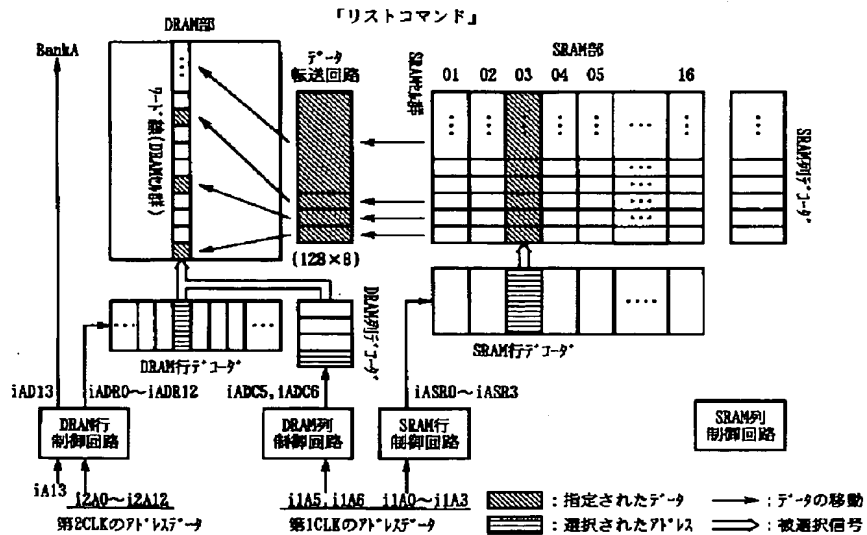
【図51】



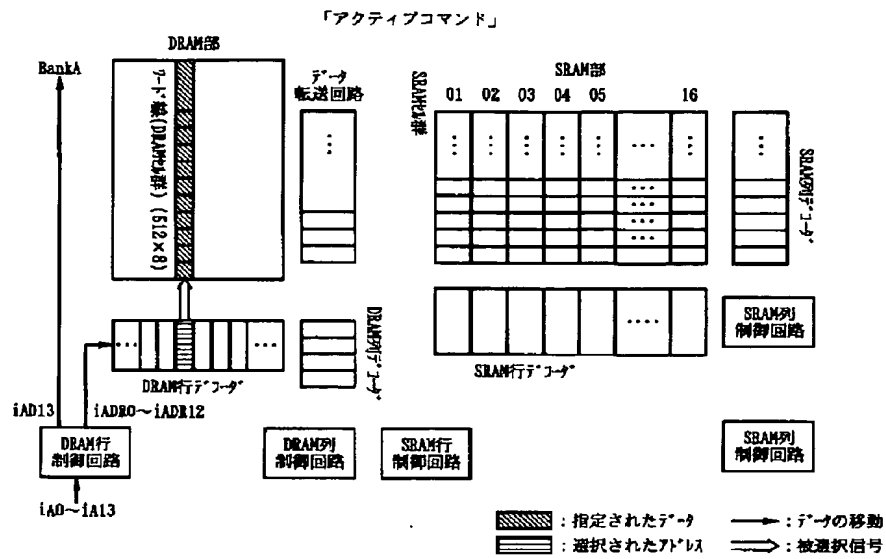
【図26】



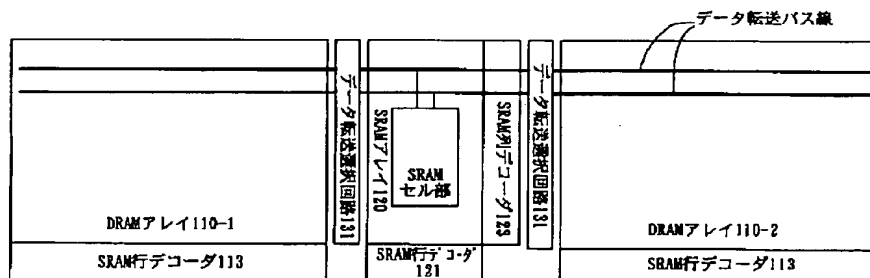
【図27】



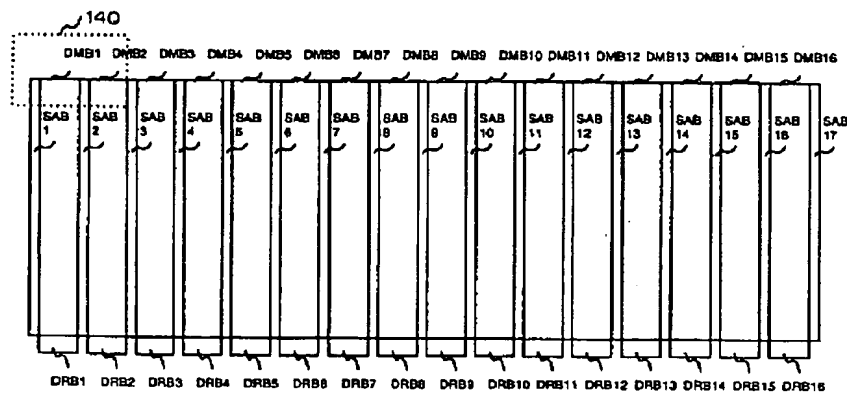
【図28】



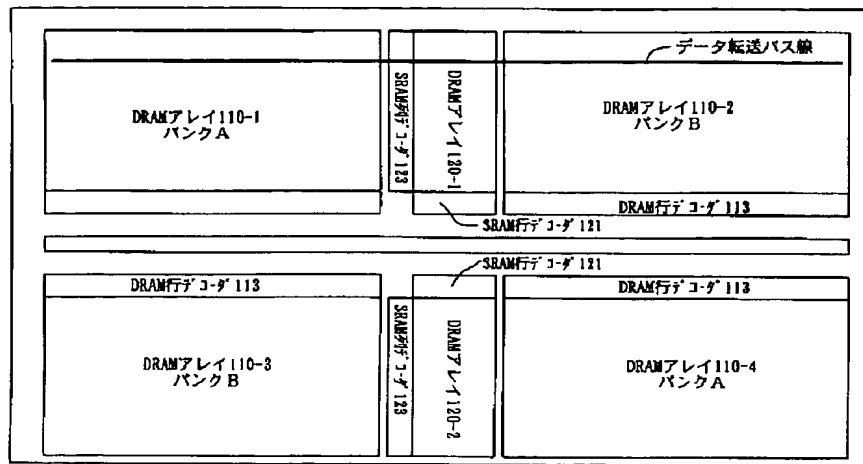
【図29】



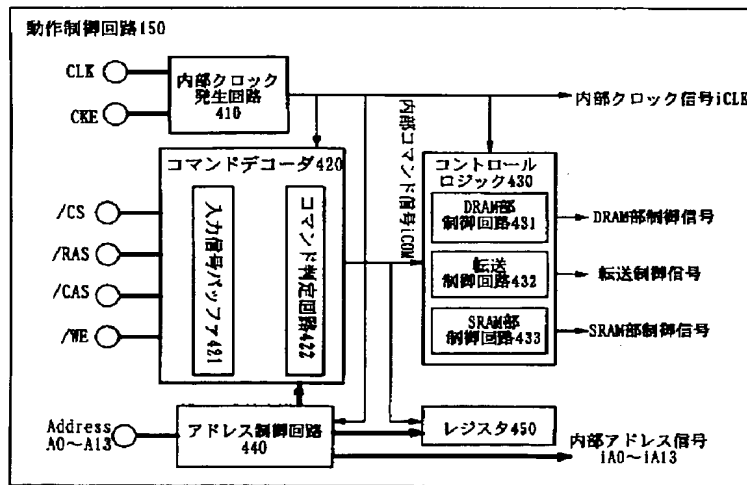
【図34】



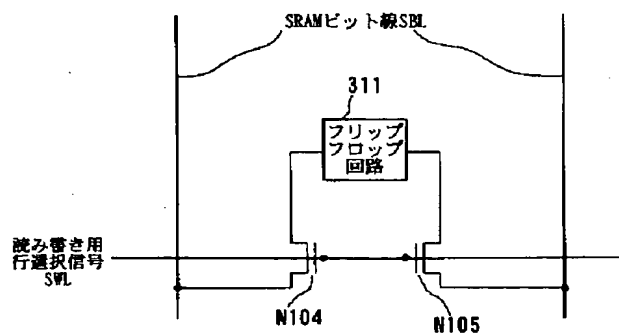
【図30】



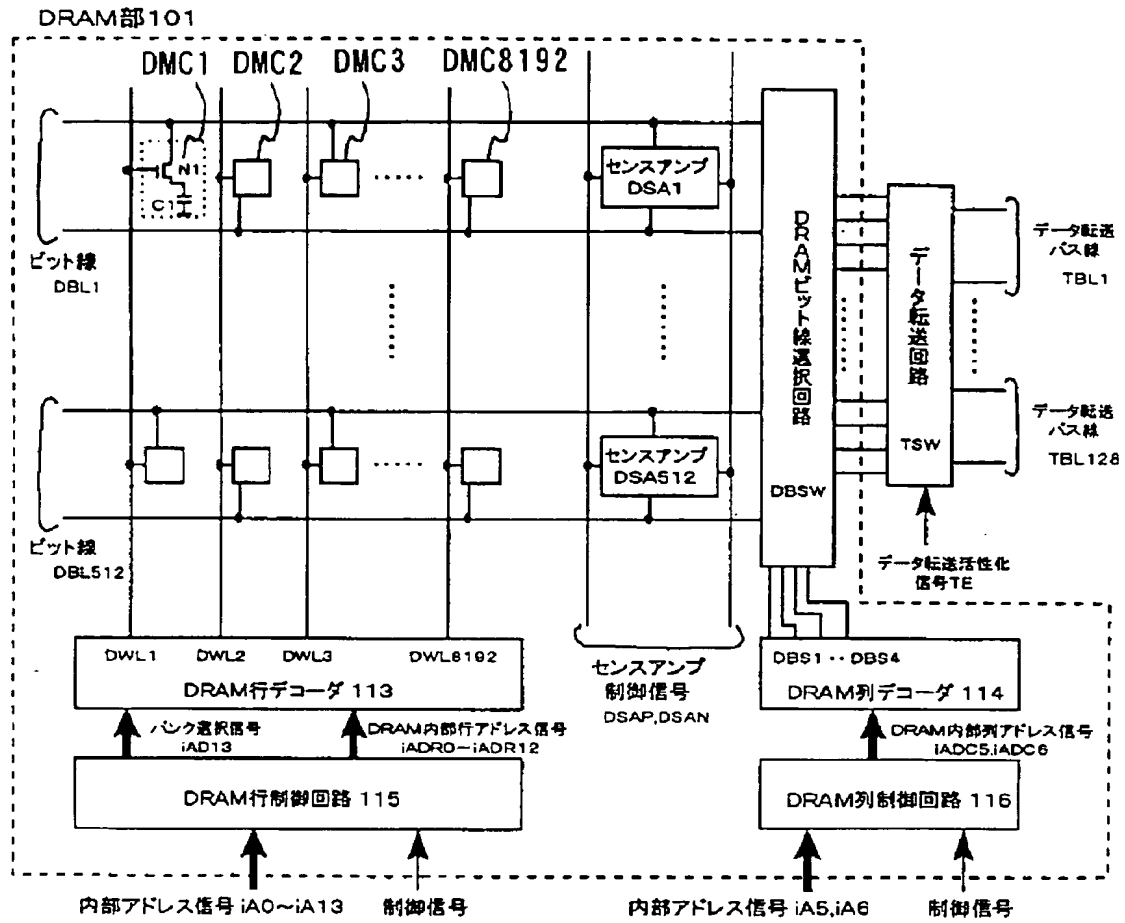
【図32】



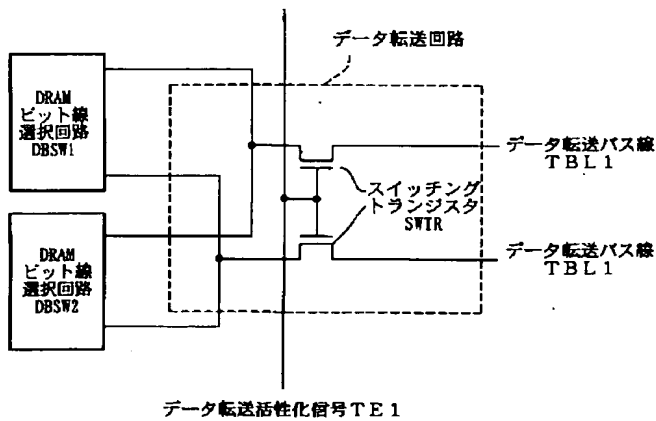
【図48】



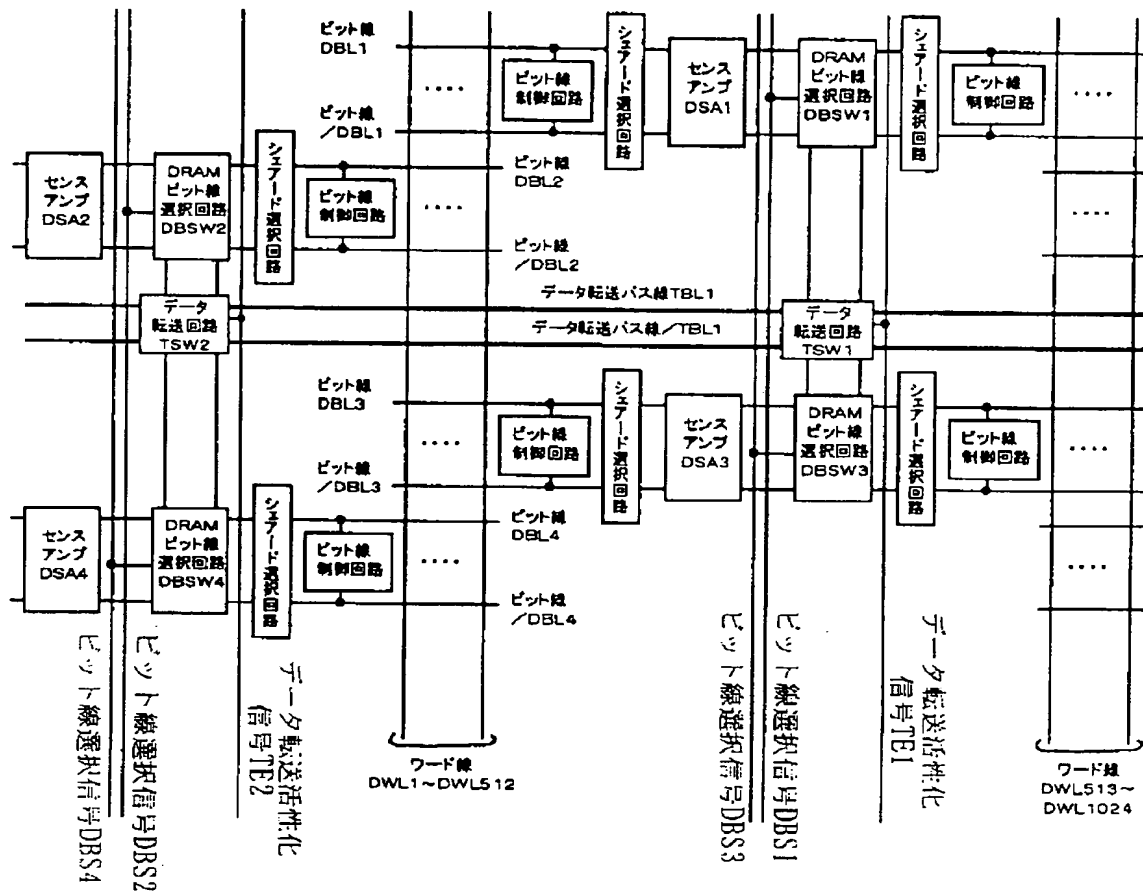
【図33】



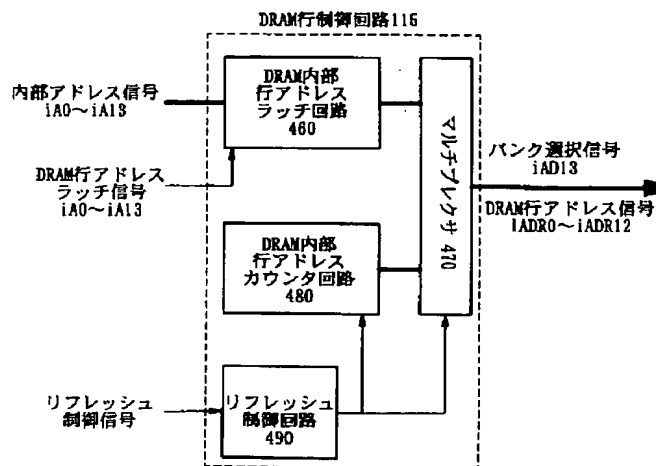
【図36】



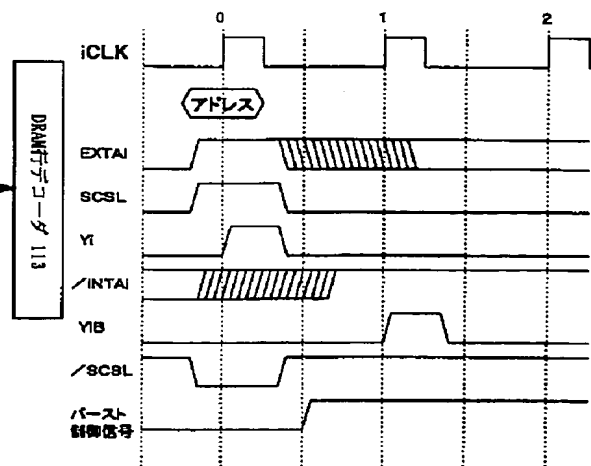
【図35】



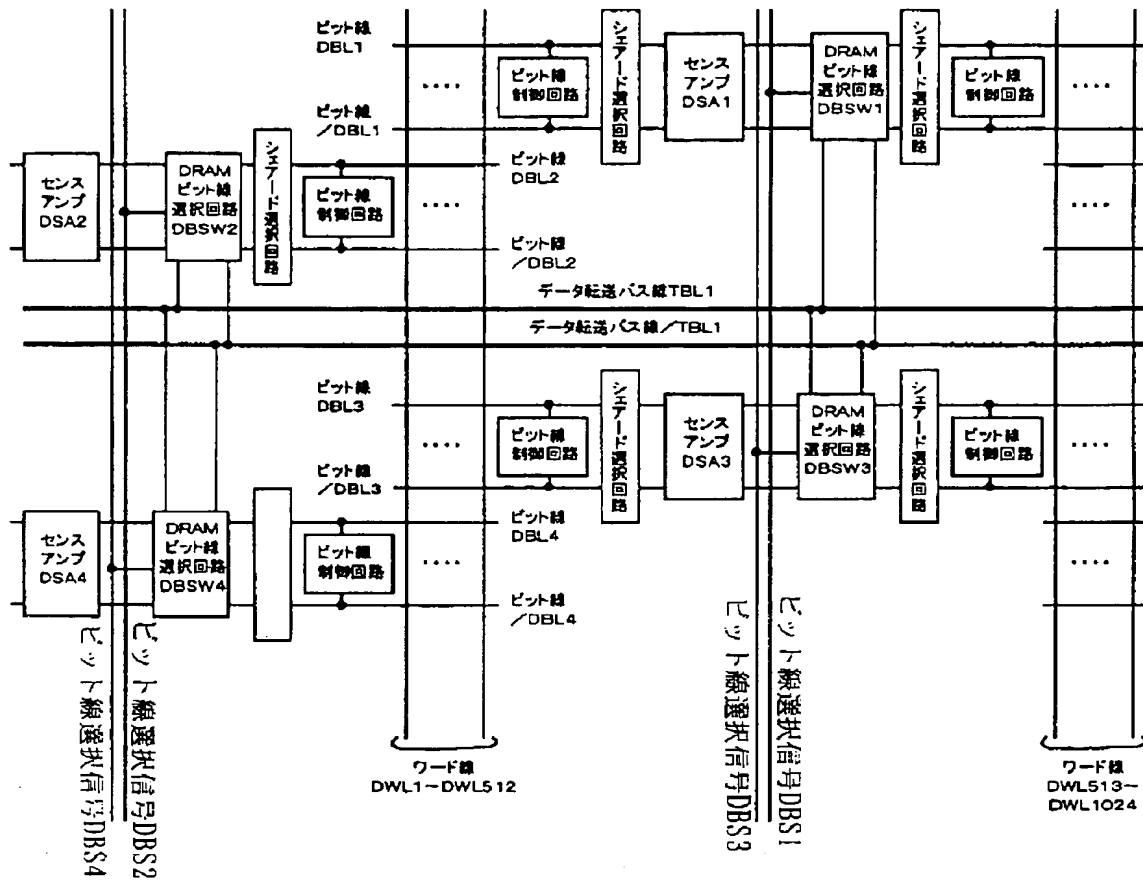
【図38】



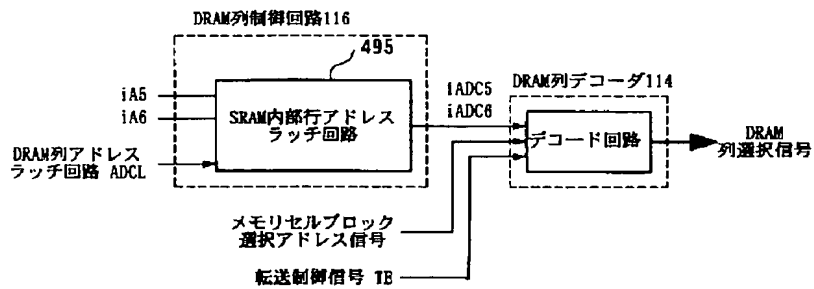
【図54】



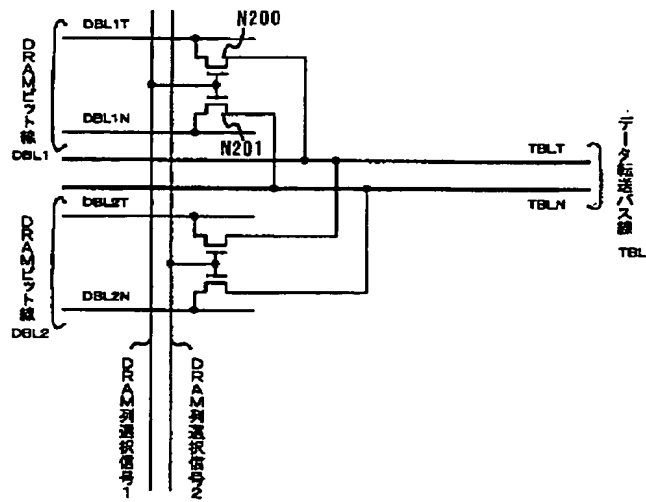
【図37】



【図39】



【図40】



【図41】

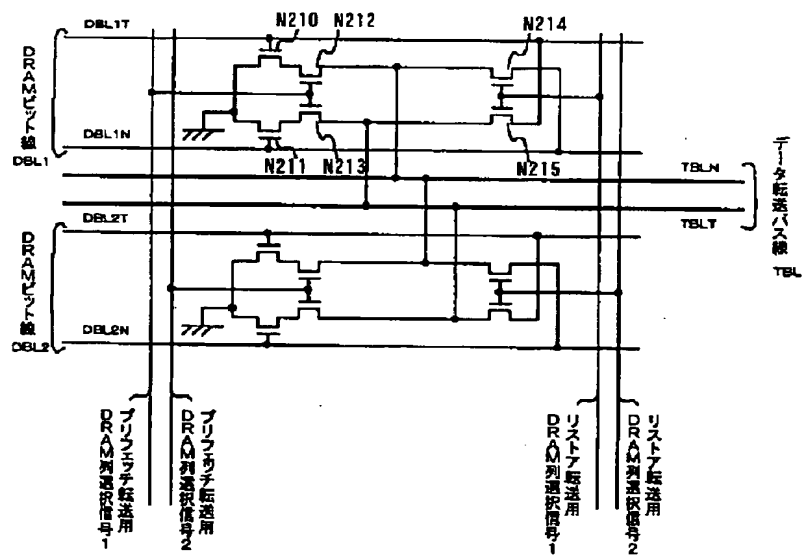
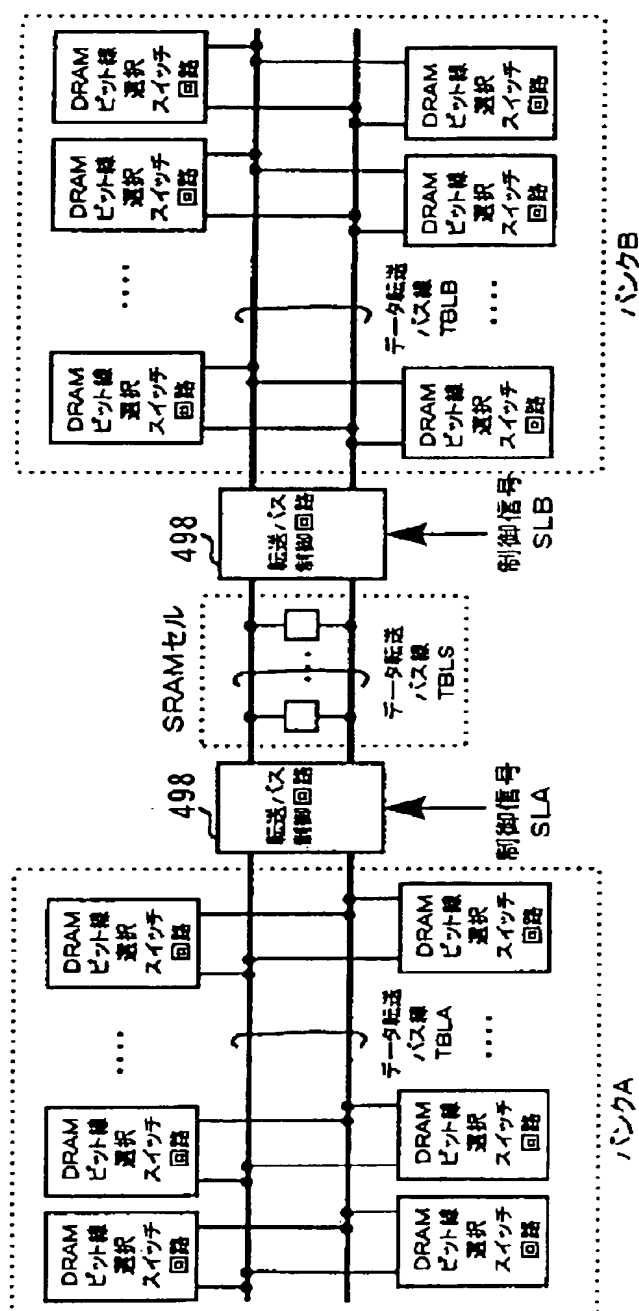
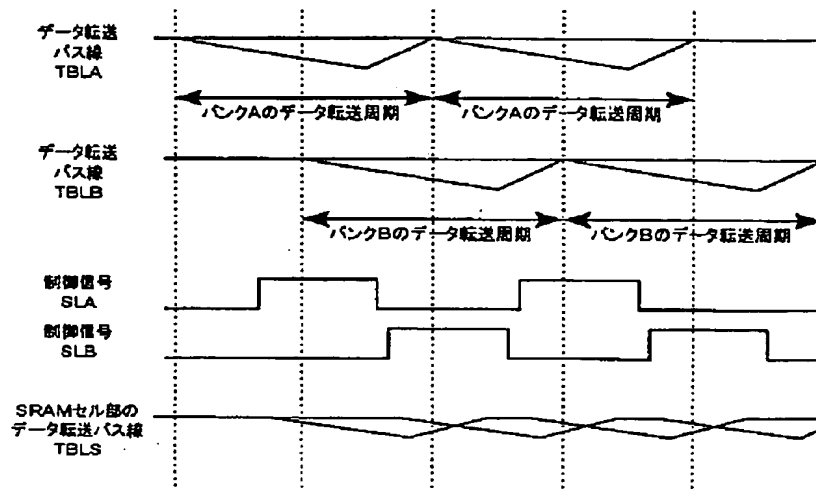


Figure 1 is a schematic diagram of a 4-bit parallel adder circuit. The circuit is divided into two main sections, DEL1 and DEL2, each containing a 4-bit parallel adder. The inputs are labeled DEL1T, DEL1N, DEL2T, and DEL2N. The outputs are labeled TEL1N and TEL1T. The circuit includes various logic gates and flip-flops, with components labeled N230, N231, N232, N233, N234, N235, and N251. The diagram is divided into two main sections, DEL1 and DEL2, each with a 4-bit parallel adder. The outputs are connected to a 4-bit parallel adder, which produces the final sum. The circuit is designed to handle carry propagation and overflow.

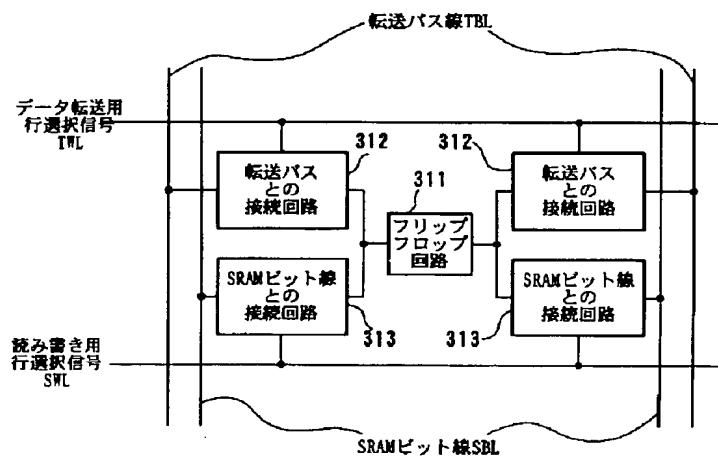
【図44】



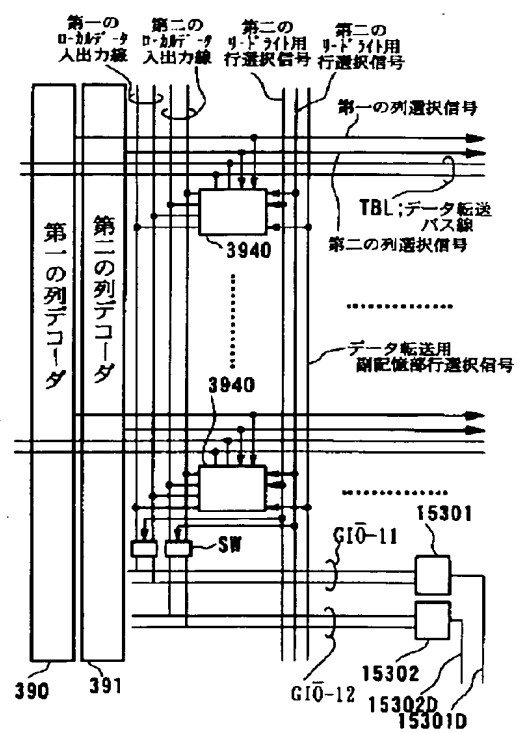
【図45】



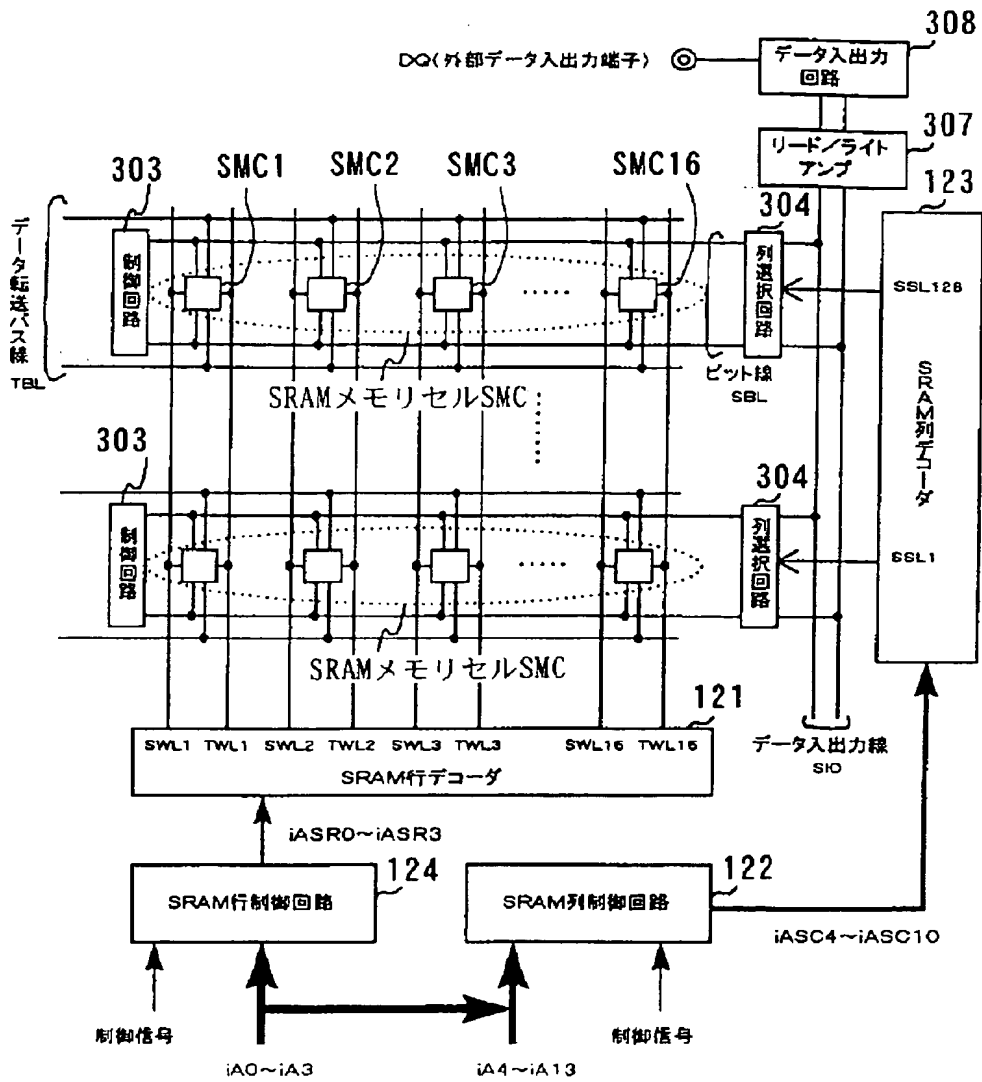
【図47】



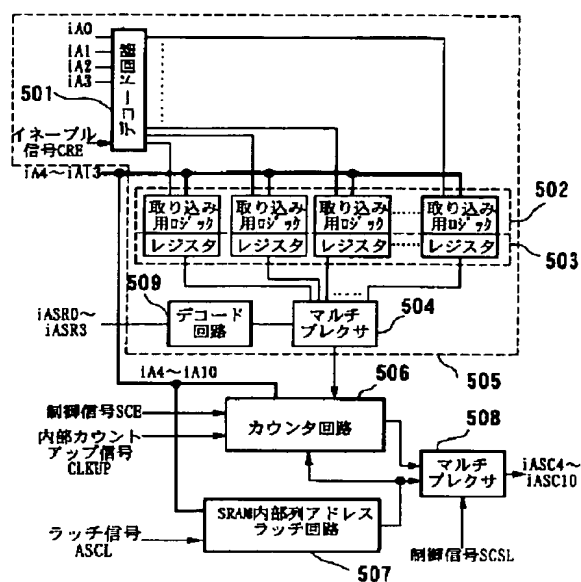
【図58】



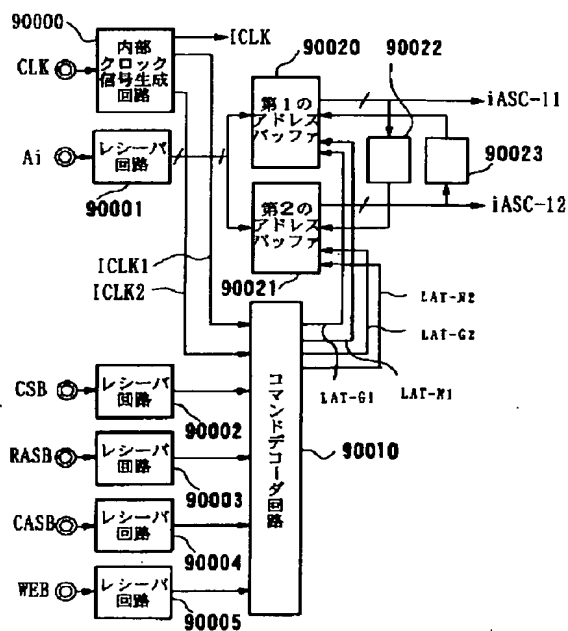
【図46】



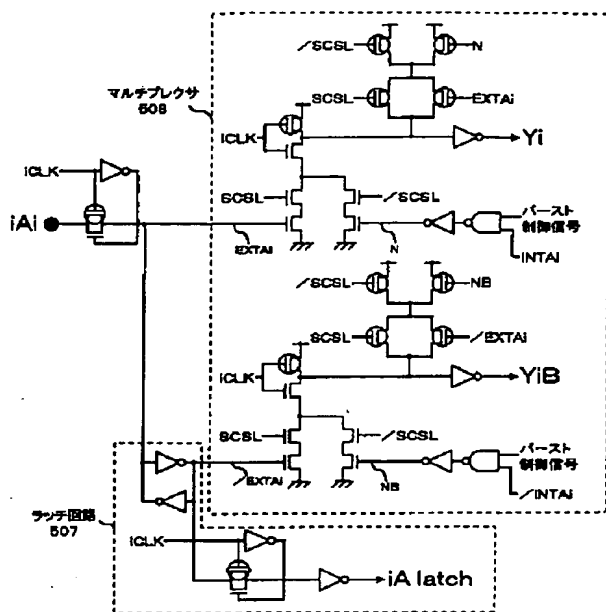
【图 5 2】



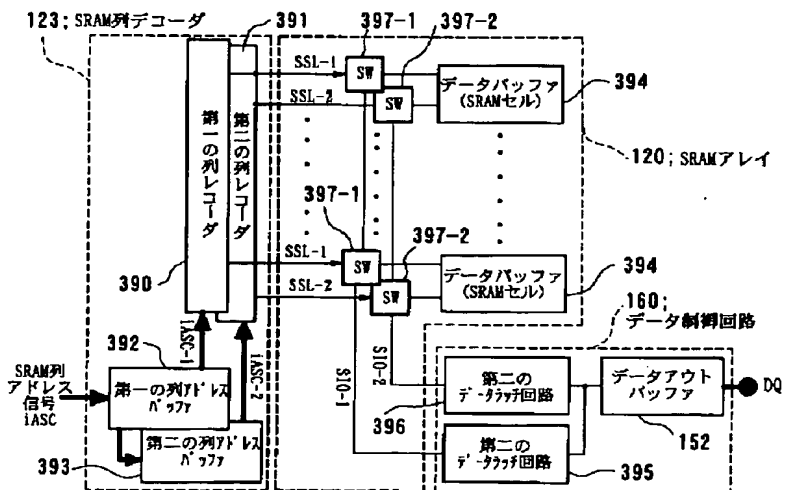
【図 60】



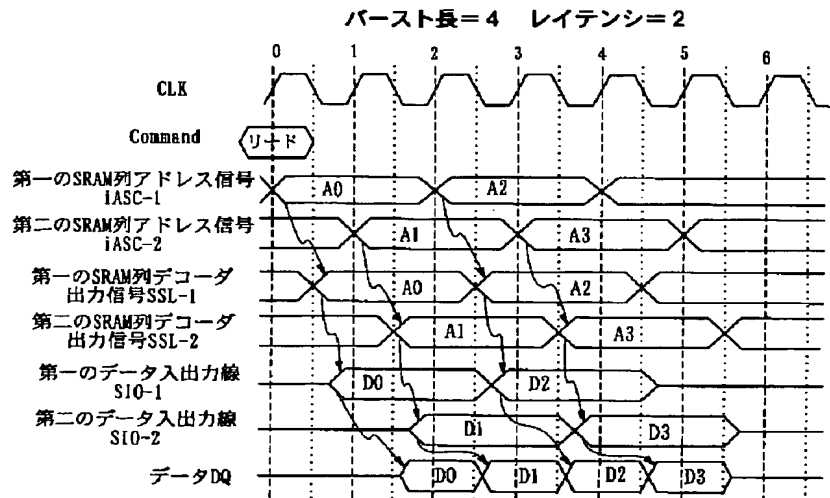
【図 5 3】



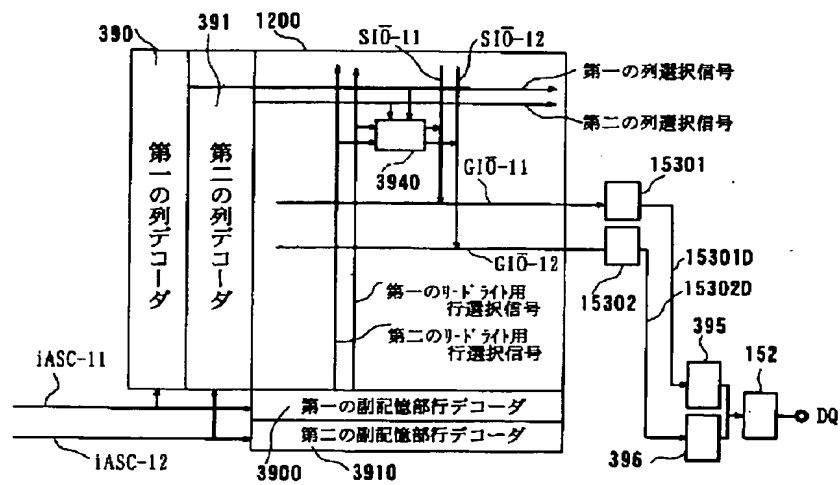
【図 5 5】



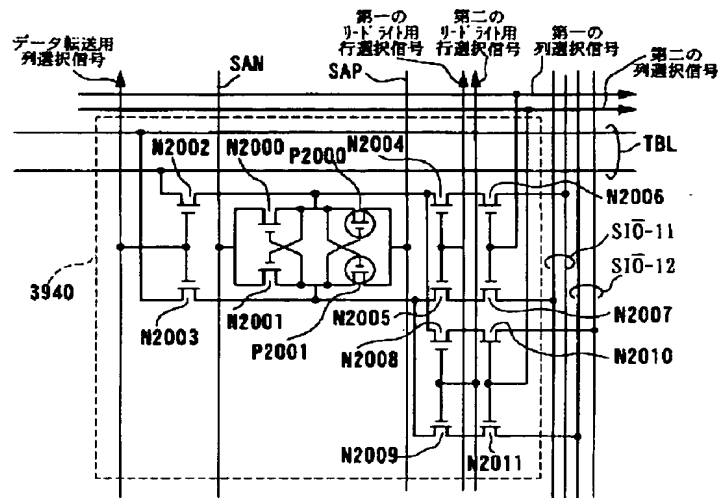
【図56】



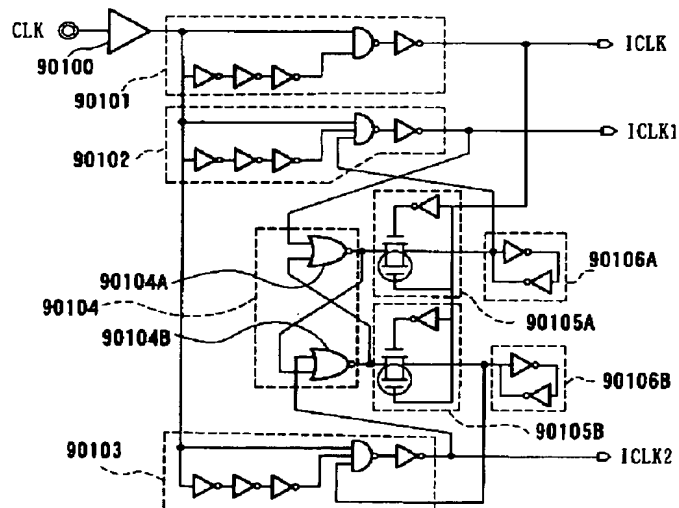
【図57】



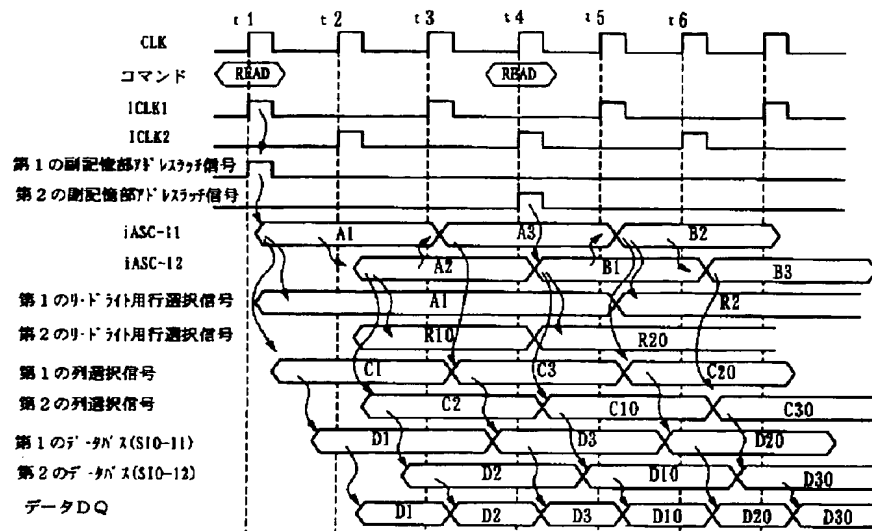
【図59】



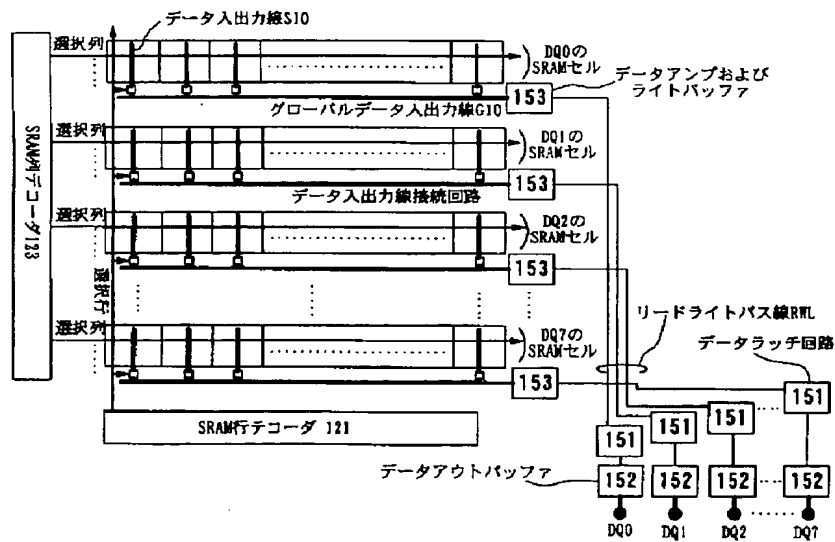
【図61】



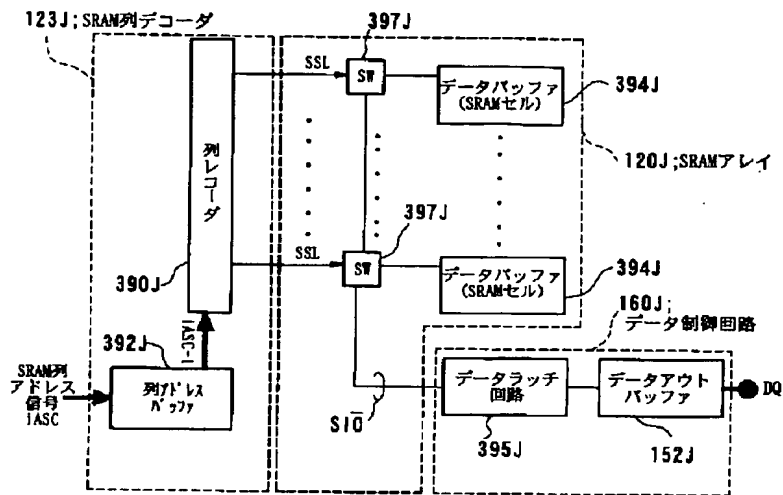
【図62】



【図63】



【図64】



【図65】

